

**EĐİTİM ORTAMLARI İÇİN FPGA DESTEKLİ DOKUNMATİK YAZIM
EKRANI TASARIMI VE KULLANILABİLİRLİĐİNİN DEĐERLENDİRİLMESİ**

Kamuran SAMANCI

YÜKSEK LİSANS TEZİ

BİLGİSAYAR EĐİTİMİ ANABİLİM DALI

GAZİ ÜNİVERSİTESİ

BİLİŞİM ENSTİTÜSÜ

NİSAN 2010

ANKARA

Kamuran SAMANCI tarafından hazırlanan EĞİTİM ORTAMLARI İÇİN FPGA DESTEKLİ DOKUNMATİK YAZIM EKRANI TASARIMI VE KULLANILABİLİRLİĞİNİN DEĞERLENDİRİLMESİ adlı bu tezin Yüksek Lisans tezi olarak uygun olduğunu onaylarım.

Yrd. Doç. Dr. Aslıhan TÜFEKÇİ

Tez Yöneticisi

Bu çalışma, jürimiz tarafından oy birliği ile Bilgisayar Eğitimi Anabilim Dalında Yüksek lisans tezi olarak kabul edilmiştir.

Başkan : _____

Üye : _____

Üye : _____

Üye : _____

Üye : _____

Tarih :/...../.....

Bu tez, Gazi Üniversitesi Bilişim Enstitüsü tez yazım kurallarına uygundur.

TEZ BİLDİRİMİ

Tez içindeki bütün bilgilerin etik davranış ve akademik kurallar çerçevesinde elde edilerek sunulduğunu, ayrıca tez yazım kurallarına uygun olarak hazırlanan bu çalışmada orijinal olmayan her türlü kaynağa eksiksiz atıf yapıldığını bildiririm.

Kamuran SAMANCI

EĞİTİM ORTAMLARI İÇİN FPGA DESTEKLİ DOKUNMATİK YAZIM EKRANI TASARIMI VE KULLANILABİLİRLİĞİNİN DEĞERLENDİRİLMESİ

(Yüksek Lisans Tezi)

Kamuran SAMANCI

GAZİ ÜNİVERSİTESİ

BİLİŞİM ENSTİTÜSÜ

Nisan 2010

ÖZET

Bilgi ve iletişim teknolojilerinde yaşanan gelişmeler her alanı olduğu gibi eğitim alanındaki çalışmaları da etkilemektedir. Bilgisayar, eğitimde etkinliği arttırmak amacıyla ilk olarak bilgisayar destekli eğitim çalışmalarında kullanılmıştır. Son zamanlarda, etkileşimli ve akıllı sınıf uygulamalarının geliştirilmesi ile bilgisayarın eğitim alanına katkıları devam etmektedir. Bu çalışmanın amacı, eğitim ortamlarında kullanılmak üzere FPGA teknolojisinin sağladığı kolaylıklardan yararlanılarak, projeksiyon cihazı destekli, düşük maliyetli, portatif veya sabit olarak kullanılabilen bir dokunmatik yazım ekranı tasarlamak ve kullanılabilirliğini test etmektir. Kullanılabilirlik testi, tasarlanan yazım ekranının son kullanıcısı olan öğretmenler üzerinde gerçekleştirilmiştir. Testte; sistemin kullanım kolaylığı, işe yararlılığı ve kullanılabilirliğinin derecelendirilmesi belirlenmiştir. Test dahilinde kullanıcılardan bilgi toplamak için çeşitli araçlar

kullanılmıştır. Bu araçlardan toplanan verilerin analizi ve değerlendirilmesi ile tasarlanan sistemin belirlenen hedefe oldukça yaklaşmış olduğu sonucuna varılmıştır.

Bilim Kodu	: 702.3.006
Anahtar Kelime	: FPGA, Eğitim Teknolojileri, Dokunmatik Yazım Ekranı, Kullanılabilirlik Testi,
Sayfa Adedi	: 188
Tez Yöneticisi	: Yrd. Doç. Dr. Aslıhan TÜFEKÇİ

**DESIGN and USABILITY EVALUATION of a FPGA SUPPORTED
TOUCHMATIC WRITING SCREEN for EDUCATIONAL ENVIRONMENTS**

(M.Sc. Thesis)

Kamuran SAMANCI

**GAZI UNIVERSITY
INFORMATICS INSTITUTE**

April 2010

ABSTRACT

Developments in information and communication technologies affect to the works in the field of education as well as all fields. Computer was first used in computer-aided training in order to increase efficiency. Recently, with the developments in the interactive and intelligent class applications, contributes of computer to the education field are ongoing. The aim of this study is that: design and usability evaluation of a projection device supported, low cost, portable or stable touchmatic writing screen for educational environments which is created with the convenience provided by FPGA technology. Usability test was conducted on teachers which are the end users of this designed writing screen. Within the test; ease of use, usefulness and usability scale of the system has been determined. In the test; variety of tools were used to gather information from users. According to analysis and evaluation of data, which are collected from these tools, the designed system nearly approached to desired target.

Science Code : 702.3.006
Key Words : FPGA, Educational Technologies, Touchmatic Writing
Screens, Usability Test,
Page Number : 188
Adviser : Assist. Prof. Dr. Aslıhan TÜFEKÇİ

TEŞEKKÜR

Çalışmalarım boyunca değerli yardım ve katkılarıyla beni yönlendiren tez danışmanım Yrd. Doç. Dr. Aslıhan TÜFEKÇİ'ye, aynı şekilde kıymetli tecrübelerinden faydalandığım hocam Dr. Zeynep KÖKSAL'a teşekkürlerimi bir borç bilirim. Senelerce emek vererek bana desteklerini hiç eksiltmeyen aileme ve yaklaşık bir buçuk senedir çalışmalarında bana moral ve motivasyon desteği veren iş arkadaşlarıma da ayrıca teşekkür ederim.

İÇİNDEKİLER

Sayfa

ÖZET.....	iv
ABSTRACT	vi
TEŞEKKÜR.....	viii
İÇİNDEKİLER.....	ix
ÇİZELGELERİN LİSTESİ	xii
ŞEKİLLERİN LİSTESİ	xiv
RESİMLERİN LİSTESİ	xviii
SİMGELER VE KISALTMALAR.....	xix
1. GİRİŞ	1
2. YAZIM EKRANI TASARIMINDA ALTERNATİF DONANIMSAL ALTYAPI ARAYIŞLARI.....	5
2.1. Donanımsal Altyapı Arayışları Sonucunda Uygun Yonganın Belirlenmesi	7
3. FPGA YONGASININ TARİHSEL GELİŞİMİ VE YAPISAL ÖZELLİKLERİ	10
3.1. PLD	10
3.1.1. PROM (Programmable Read Only Memory).....	10
3.1.2. PLA (Programmable Logic Array)	11
3.1.3. PAL (Programmable Array Logic).....	12
3.1.4. CPLD (Complex Programmable Logic Device).....	12
3.2. ASIC (Application Specific Integrated Circuit)	13
3.2.1. Tam özel (Full custom)	13
3.2.2. Standart hücre (Standard Cell)	14
3.2.3. Kapı dizisi (Gate array)	14
3.2.4. Yapılandırılmış ASIC (Structured ASIC).....	15
3.3. FPGA.....	15
3.4. Donanım Tanımlama Dilleri ve Verilog Dili	17
4. DOKUNMATİK YAZIM EKRANININ TASARLANMASI.....	19
4.1. Yazım Ekranının Donanımsal Tasarımı	21

4.1.1. Lcd dokunmatik panel birimi	21
4.1.2. Kontrol birimi.....	28
4.2 Yazım Ekranının Yazılımsal Tasarımı	48
4.2.1. Ana kontrol modülü.....	49
4.2.2. Gecikme kontrol modülü.....	52
4.2.3. ADC seri port ara yüzü kontrol modülü	55
4.2.4. Grafik LCD kontrol modülü	60
4.2.5. VGA kontrol modülü.....	67
4.2.6. Yedi parçalı gösterge kontrol modülü	70
5. DOKUNMATİK YAZIM EKRANININ KULLANILABİLİRLİK TESTİNİN GERÇEKLEŞTİRİLMESİ	72
5.1. Materyal ve Metot	75
5.2. Evren ve Örneklem.....	77
5.3. Verilerin Toplanması.....	77
5.3.1 Anketler	77
5.3.2. Kullanılabilirlik testi.....	79
5.3.3. Gözlemler	79
6. BULGULAR VE YORUMLAR	80
6.1. İhtiyaç Analizi Anket Formundan Elde Edilen Bulgular	80
6.2. Katılımcı Ön Bilgi Formundan Elde Edilen Bulgular.....	84
6.3. Kullanılabilirlik Testi Süresince Elde Edilen Bulguların Değerlendirilmesi	86
6.4. Memnuniyet Değerlendirme Anketinden Elde Edilen Bulgular	93
7. SONUÇ VE ÖNERİLER	101
KAYNAKLAR.....	106
EKLER.....	109
EK-1 PROJE ALGORİTMA BİLGİSİ	110
EK-2 PROJE YAZILIM BİLGİSİ	119
EK-3 KULLANILABİLİRLİK TESTİ FORMLARI.....	150
EK-4 QUARTUS II İLE FPGA YAPILANDIRMA.....	158
ÖZGEÇMİŞ	165

ÇİZELGELERİN LİSTESİ

Çizelge	Sayfa
Çizelge 4.1. Soket pinleri ile FPGA pinleri arasındaki bağlantı.....	32
Çizelge 4.2. Kontrol butonlarının FPGA yongası ile olan pin bağlantıları.....	34
Çizelge 4.3. Göstergelerin FPGA yongası pinleri ile olan bağlantıları.....	35
Çizelge 4.4. ADV7123 yongasının FPGA yongası ile olan pin bağlantıları.....	37
Çizelge 4.5. JTAG yapılandırma için gerekli olan 10 pinli soketin pin bağlantısı.....	41
Çizelge 4.6. SPI Haberleşmesi için gerekli olan zamanlama parametreleri.....	63
Çizelge 4.7. Yatay düzlem için parametre değerleri.....	66
Çizelge 4.8. Dikey düzlem için parametre değerleri.....	66
Çizelge 4.9. GLCD'nin senkronizasyon sinyallerinin zamanlama parametreleri.....	67
Çizelge 5.1. Kullanılabilirlik problemlerinin sayısının tüm gruba oranı ve standart sapma miktarları.....	76
Çizelge 6.1. “Bilgisayar kullanır mısınız?” sorusuna alınan cevaplar.....	80
Çizelge 6.2. “Bilgisayarı daha çok hangi amaçla kullanıyorsunuz?” sorusuna alınan cevaplar.....	81
Çizelge 6.3. “Teknolojiyi sever misiniz?” sorusuna alınan cevaplar.....	81
Çizelge 6.4. “Ders anlatırken aşağıdaki tekniklerden hangisini daha kolay ve kullanışlı buluyorsunuz?” sorusuna alınan cevaplar.....	81
Çizelge 6.5. “Projeksiyon cihazı ile kullanılan bilgisayarın ekranının dokunmatik olması ve bir yazı tahtası gibi kullanılabilir olması bir avantaj sağlar mı?” sorusuna alınan cevaplar.....	82

Çizelge	Sayfa
Çizelge 6.6. “Tepegöz sisteminin daha küçük olması bir avantaj sağlar mı?” sorusuna alınan cevaplar.....	82
Çizelge 6.7. “Hasta olduğunuzda veya kendinizi halsiz hissettiğinizde yazı tahtasına yazmanız gereken yazıları masanızda oturduğunuz yerden bir sistem yardımıyla yazı yazmak ister miydiniz?”	83
Çizelge 6.8. Projeksiyon cihazı, Tepegöz ve Kara tahta ile ders anlatma hakkındaki öğretmen görüşleri.....	84
Çizelge 6.9. Ders verdikleri öğrenim düzeylerine göre öğretmenlerin dağılımı.....	84
Çizelge 6.10. Öğretmenlerin öğretmenlik deneyimleri.....	85
Çizelge 6.11. Öğretmenlerin yaş dağılımları.....	85
Çizelge 6.12. Öğretmenlerin branşları.....	85
Çizelge 6.13. Görev listesindeki görevlerin gerçekleştirilme süreleri	88
Çizelge 6.14. Görev listesindeki görevlerin zorluk-kolaylık düzeyleri	91
Çizelge 6.15. Yazım ekranının “işe yararlılık” düzeyini belirlemeye yönelik sorulara alınan cevapların analizi.....	94
Çizelge 6.16. Yazım ekranının “kullanım kolaylığı” düzeyini belirlemeye yönelik sorulara alınan cevapların analizi.....	96
Çizelge 6.17. Yazım ekranının “kullanışlılığını” belirlemeye yönelik sorulara alınan cevapların analizi.....	98

ŞEKİLLERİN LİSTESİ

Şekil	Sayfa
Şekil 1.1. Akıllı tahta sistemi.....	2
Şekil 3.1. Programlanır mantık aygıtları genel sınıflandırma.....	10
Şekil 3.2. 3-giriş ve 3-çıkışa sahip PROM.....	11
Şekil 3.3. 3-giriş ve 3-çıkışa sahip PLA.....	11
Şekil 3.4. 3-giriş ve 3-çıkışa sahip PAL.....	12
Şekil 3.5. Genel CPLD yapısı.....	13
Şekil 3.6. ASIC çeşitleri.....	13
Şekil 3.7. PLD ve ASIC yaklaşımları arasındaki boşluk.....	15
Şekil 3.8. Bir FPGA yongasının içyapısının ayrıntılı olarak gösterilmesi.....	17
Şekil 4.1. Genel hatları ile dokunmatik yazım ekranını oluşturan birimlerin şematik gösterilmesi.....	20
Şekil 4.3. LTM modül üzerinde X ve Y koordinatlarının 12 şer bitler halinde gösterilmesi.....	23
Şekil 4.4. LTM panel üzerindeki veri akış sistematığı.....	24
Şekil 4.5. 40 pinli soketin pin bağlantıları.....	24
Şekil 4.6. Seri port ara yüzünü kullanan LCD sürücü yongası ve AD7843 ADC yongasının 40 pinli soket ile olan bağlantıları.....	25
Şekil 4.7. ADC işlemini gerçekleştiren AD7843 yongasının içyapısı.....	26
Şekil 4.8. Dokunmatik paneli süren ADC yongasının bağlantısı.....	27
Şekil 4.9. Dört telli dirençsel dokunmatik panel.....	27

Şekil	Sayfa
Şekil 4.10. Dokunmatik panelin X ve Y düzlemsel gösterimi.....	28
Şekil 4.11. Sistem ana kartı üzerindeki yonga, soket ve diğer devre elemanları arasındaki bağlantıların gösterilmesi.....	29
Şekil 4.12. FPGA yongasının 40 pinli soket vasıtasıyla LTM modüle bağlanması.....	30
Şekil 4.13. FPGA ile LTM modül arasındaki 40 pinli soketin pin bağlantıları.....	31
Şekil 4.14. Pin koruma direnç ve diyotları.....	31
Şekil 4.15. Reset butonunun devre bağlantısı ve FPGA yongası ile olan bağlantısı.....	33
Şekil 4.16. Kontrol butonlarının devre bağlantıları.....	33
Şekil 4.17. Bir 7 parçalı göstergenin çalışabilmesi için kurulması gereken donanımsal bağlantı.....	34
Şekil 4.18. ADV7123 yongasının VGA soketi ve FPGA yongası ile olan donanımsal bağlantısı.....	36
Şekil 4.19. JTAG yapılandırma şeması (DE2_70 FPGA kart için).....	40
Şekil 4.20. AS yapılandırma şeması (DE2_70 FPGA kart için).....	40
Şekil 4.21. FPGA yapılandırma pinlerinin bağlantıları.....	41
Şekil 4.22. Seri yapılandırma yongası için oluşturulmuş bir ICSP programlama bağlantısı.....	42
Şekil 4.23. Bir Universal Programlayıcı ile programlanmış bir yapılandırma yongasının (EPCS16/64) FPGA yongası ile bağlantısı.....	43
Şekil 4.24. EPCS yapılandırma yongası ile FPGA arasındaki bağlantı.....	43
Şekil 4.25. Dokunmatik yazım ekranının tasarım düzeni.....	45

Şekil	Sayfa
Şekil 4.26. FPA yongasının tüm pin bağlantıları (Yonganın kullanılmayan pinleri ve güç pinleri belirtilmemiştir).....	46
Şekil 4.27. FPGA yongası yapılandırılırken kullanılan modüller.....	49
Şekil 4.28. Ana modüldeki alt modüllerin birbirleriyle olan veri akış düzeni.....	51
Şekil 4.29. FPGA’de paralel işlem yapabilme (paralel yapılandırma).....	52
Şekil 4.30. Modüllerin gecikme zaman dilimlerinin gösterilmesi.....	55
Şekil 4.31. Kaskad bağlı slavelerin master ile bağlantıları.....	55
Şekil 4.32. Birbirinden bağımsız slavelerin master ile bağlantıları.....	56
Şekil 4.33. Master durumdaki FPGA yongasının (40 pinli soket ile bağlantılı) slave durumundaki LCD kontrol ve ADC yongaları ile bağlantılarının gösterilmesi.....	57
Şekil 4.34. AD7843 ADC yongasının içyapısı.....	58
Şekil 4.35. Seri port ara yüzü zamanlama diyagramı.....	60
Şekil 4.36. Seri port ara yüzünün çerçeve formatı ve zamanlama diyagramı.....	62
Şekil 4.37. GLCD yatay düzlemdeki veri senkronizasyonu.....	64
Şekil 4.38. GLCD dikey düzlemdeki veri senkronizasyonu.....	65
Şekil 4.39. VGA yatay düzlem zamanlama sinyali.....	68
Şekil 4.40. VGA dikey düzlem zamanlama sinyali.....	69
Şekil 4.41. Yatay düzlem senkronizasyon.....	69
Şekil 4.42. Dikey düzlem senkronizasyon.....	70

Şekil	Sayfa
Şekil 4.43. X ve Y koordinat bilgisini gösteren 3'erli gruplar halindeki 6 adet 7 parçalı göstergenin yerleşim düzeni.....	71
Şekil.5.1. Denek sayılarına göre hata tespit oranı.....	76
Şekil 6.1. Görevlerin gerçekleştirilme sürelerini gösteren grafik.....	89
Şekil 6.2. Görevlerin ortalama gerçekleştirilme süreleri.....	90
Şekil 6.3. Görev listesindeki görevlerin zorluk-kolaylık düzeylerini gösteren grafik.....	92
Şekil 6.4. Görev listesindeki görevlerin zorluk-kolaylık düzeylerini gösteren grafik.....	93
Şekil 6.5. Yazım ekranının işe yararlılığının 20 tam puan üzerinden almış olduğu değerlendirmeler.....	95
Şekil 6.6. Yazım ekranının işe yararlılığının %100 tam puan üzerinden almış olduğu yüzdelerlik değerlendirmeler.....	96
Şekil 6.7. Yazım ekranının kullanım kolaylığının 20 tam puan üzerinden almış olduğu değerlendirmeler.....	97
Şekil 6.8. Yazım ekranının kullanım kolaylığının %100 tam puan üzerinden almış olduğu yüzdelerlik değerlendirmeler.....	98
Şekil 6.9. Yazım ekranının kullanılabilirliğinin 20 tam puan üzerinden almış olduğu değerlendirmeler.....	99
Şekil 6.10. Yazım ekranının kullanılabilirliğinin %100 tam puan üzerinden almış olduğu yüzdelerlik değerlendirmeler.....	100

RESİMLERİN LİSTESİ

Resim	Sayfa
Resim 4.1. LTM modülü ve ana karta bağlantı kablosu.....	22
Resim 4.2. Altera Cyclone II yongaları.....	47

SİMGELER VE KISALTMALAR

Bu çalışmada kullanılmış bazı simgeler ve kısaltmalar, açıklamaları ile birlikte aşağıda sunulmuştur.

Simgeler	Açıklamaları
-----------------	---------------------

Hex	Hexadesimal
Hz	Hertz
kΩ	Kilo Ohm
MHz	Mega Hertz
sn	Saniye
uF	mikro Farad
us	Mikro Saniye
V	Volt
Ω	Ohm

Kısaltmalar	Açıklamaları
--------------------	---------------------

ADC	Analog to Digital Converter
AS	Active Serial
ASIC	Application Specific Integrated Circuit
ASSP	Application Specific Standart Product

CMOS	Complimentary Metal Oxide Semiconductor
CPLD	Complex Programmable Logic Device
DAC	Digital to Analog Converter)
DSP	Digital Signal Processor
DTD	Donanım Tanımlama Dili
FPGA	Field Programmable Gate Arrays
GLCD	Graphic Liquid Crystal Display
ICSP	In Circuit Serial Programmer
JTAG	Joint Test Action Group
LTM	LCD Touch Module
MCU	Micro Controller Unite
MP	Micro Processor
RAM	Random Access Memory
RGB	Red, Green, Blue
SPI	Serial Port Interface
SPLD	Simple Programmable Logic Device
SRAM	Static Random Access Memory
SUS	System Usability Scale
TAM	Technology Acceptance Model
USB	Universal Serial Bus
VGA	Video Graphics Array
VHDL	Very High Speed Integrated Circuit Hardware Description Language

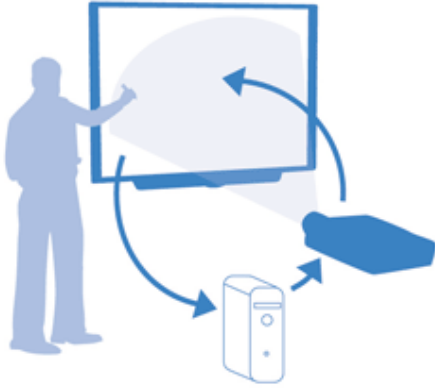
1. GİRİŞ

Teknolojinin en etkin kullanıldığı alanlardan biri de eğitimidir. Eğitim çalışmalarında etkinliği arttırmak, daha fazla verim sağlayabilmek amacıyla teknolojinin sunduğu tüm kolaylıklardan en üst düzeyde faydalanmanın esas alınması süreci “Eğitim Teknolojileri” kavramını ortaya çıkarmıştır. Dahası eğitim teknolojileri (öğrenme teknolojileri olarak ta adlandırılmaktadır) uygun teknolojik süreç ve kaynakların kullanımı, yönetimi ve oluşturulması ile eğitimin kolaylaştırılmasını ve performansın artırılmasını sağlayan çalışmalar ve etik uygulamalardır [1].

Teknoloji, birçok yönden eğitim çalışmalarına destek sağlamaktadır. Eğitim çalışmalarını geniş alanlara yaymak, öğrenciler için çeşitli görsel benzetim ve grafik desteklerinin sunulması, işitsel birçok eğitim materyallerinin geliştirilmiş olması, çeşitli ölçüm sistem ve aygıtların sunulması eğitim çalışmalarını hem kolaylaştırmakta hem de daha etkin hale getirmektedir. Eğitim teknolojilerindeki çalışmalar sınıf içi eğitim çalışmalarına da önemli ölçüde yansımaktadır. Çoğunluğu bilgisayar destekli olan birçok teknolojik cihaz ve aygıt geleneksel sınıf içi eğitim çalışmalarında doğrudan kullanılmaktadır. Öyle ki, sınıf içerisindeki neredeyse tüm eğitim materyalleri bilgisayar destekli veya kontrollü hale getirilmiştir. Böylelikle sınıflar, bilgisayar desteği sayesinde “akıllı (smart)” olma özelliği elde etmişlerdir. Bilgisayar teknolojisindeki gelişmelere bağlı olarak kullanıcılar (öğrenciler veya öğretmenler) sınıf içindeki aygıtlar ile etkileşimli hale gelmişlerdir. Bu gelişme “akıllı sınıf” kavramını “etkileşimli sınıf” kavramına taşımıştır.

Etkileşimli sınıflarda kullanıcılar doğrudan sistem ile karşılıklı etkileşim içerisinde olup, bu etkileşimi sağlayan bir bilgisayara gereksinim olmaktadır. Yapılan araştırmalar,

neredeyse bütün etkileşimli sınıf uygulamalarında bir bilgisayarın bulunduğunu göstermektedir. Hayatın her alanında olduğu gibi bilgisayarın eğitim çalışmalarında da yoğun bir şekilde kullanılması kaçınılmaz bir durum haline gelmiştir. Önceleri ölçme ve değerlendirme çalışmalarında kullanılan bilgisayarlar, ilerleyen zaman süreciyle birlikte bilgisayar destekli öğretimde de yoğun bir şekilde kullanılmaya başlanmıştır [2]. Bu duruma en güncel örnek “akıllı tahta” olarak isimlendirilen, bilgisayar destekli yazı tahtası gösterilebilir. Bir yazı tahtası üzerine bir projeksiyon cihazı yardımıyla görselliğin aktarıldığı, özel bir kalem yardımıyla yazı tahtası üzerindeki görsel öğelere müdahale edildiği bu yazı tahtası sisteminde, görsel öğeler ve tüm sistemin kontrolü bir bilgisayar yardımıyla gerçekleştirilmektedir (Bkz. Şekil 1.1).



Şekil 1.1. Akıllı tahta sistemi

Bilgisayar destekli öğretimde bilgisayarın yalnızca donanımsal olarak var olması yeterli gelmemektedir. Mutlaka varolan donanımı destekleyen yazılımlarının olması da şarttır. Gerekli eğitsel yazılımların geliştirilmesi başlı başına bir çalışma olup her çalışma gibi harcanan işgücünün maliyet olarak bir karşılığı olması gerekmektedir. Ayrıca bilindiği üzere bilgisayar sadece eğitim amaçlı değil, çok amaçlı kullanılabilen bir araçtır. Bilgisayar üretici firmalar tarafından sadece eğitim amacına yönelik değil, birçok amaca yönelik yazılım ve donanımlar standart olarak alınan bir bilgisayar ile sunulmaktadır. Nitekim eğitim çalışmalarında kullanılmayan bu donanım ve yazılımlara da ayrıca ücret

ödenmiş olunmaktadır. Bu nedenle; bir sistemde bilgisayar kullanımı hem donanımsal hem de yazılımsal maliyetlerin daha yüksek olmasına neden olmaktadır. Bunun yanı sıra bilgisayarın karmaşık bir araç olması okullarda kullanımı sırasında kargaşaya sebep olmaktadır. Okullarda bilgisayarların bakım ve onarımı ile uğraşan bir teknisyenin varlığını mecburi kılmaktadır.

Bu çalışmanın amacı: “yalnız eğitim çalışmalarında kullanılabilecek, bilgisayar desteği olmayan, düşük maliyetli, portatif veya sabit olarak kullanılabilen, projeksiyon cihazı destekli, basit yapılı, dokunmatik bir yazım ekranı tasarlamak ve tasarlanan bu yazım ekranının esas hedef kullanıcı kitlesi olan öğretmenler üzerinde kullanılabilirlik testinin gerçekleştirmektir”.

Proje oluşturulurken ayrıca şu amaçlara da ulaşmak hedeflenmiştir:

- Esas hedef kitle olan öğretmenlerin daha rahat ders anlatabilmelerini sağlamak, hastalık sakatlık vs. gibi durumlarda sınıftaki eğitim çalışmalarına fazla fiziksel güç harcamaya gerek kalmadan oturdukları yerden devam ettirebilmelerini sağlamak.
- Özellikle akıllı tahta sistemine benzer sistemlerde, projeksiyon cihazı kullanırken kullanıcının tahtanın bir bölümünü, projeksiyondan gelen ışın demetine bağlı olarak kapattığı göz önüne alınarak, tahtada yazı yazarken tüm tahtanın öğrenciler tarafından görünebilirliğini sağlanmaya çalışmaktır.

Yukarıda belirtilen amaçları gerçekleştiren yazım ekranı öncelikli olarak eğitim çalışmalarına; çok pahalı donanım ve yazılımlara ihtiyaç duyan bilgisayarların yanında bir alternatif sunacaktır.

Bu çalışmada ayrı başlıklar altında sunulan bölümlerde şu bilgilere yer verilmektedir:

I. bölümde, tez çalışmasının amacı, kapsamı ve önemi belirtilmekte, II. bölümde tez çalışmasında ürün olarak geliştirilen yazım ekranı için alternatif donanımsal altyapılar araştırılarak uygun altyapı olarak FPGA teknolojisi belirlenmesinin nedenleri verilmektedir. III. bölümde FPGA yonga teknolojisinin tarihsel gelişimi, yapısı ve kullanım şekilleri anlatılmakta, ayrıca FPGA yongasının yapılandırılabilmesi için gerekli olan donanım tanımlama dili olan Verilog dili hakkında da bilgi verilmektedir. IV. bölümde dokunmatik yazılım ekranının donanımsal tasarımı ve bu donanımı destekleyen yazılımsal tasarım hakkında ayrıntılı bilgi verilmiştir. V. bölümde tasarlanan dokunmatik yazım ekranının esas kullanıcı hedef kitlesi olan öğretmenler üzerinde kullanılabilirliğinin değerlendirilmesi için yapılan kullanılabilirlik testlerinin sonuçları yer almaktadır. VI. bölümde ise yapılan çalışmada elde edilen sonuçlar ve bu sonuçlar doğrultusunda sunulan öneriler bulunmaktadır.

2. YAZIM EKRANI TASARIMINDA ALTERNATİF DONANIMSAL ALTYAPI ARAYIŞLARI

Günümüzde endüstriyel ürünlerde büyük bir rekabet yaşanmaktadır. Bu rekabet kendisiyle birlikte; hızlı ve kısa sürede üretimin gerçekleştirilmesini, üretilen malların hızlıca uygun pazarlara sunulmasını, pazarlara sunulan malların kalitesini, ömrünü ve müşteri memnuniyetini önemli ölçüde etkilemektedir.

Müşteri memnuniyetine sunulan endüstriyel ürün gruplarından biri de makine grubudur. Makinelerin belirli bileşenleri vardır; makine gövdesi, makine motoru ve elektronik kontrol ünitesi gibi. Akıllı olarak nitelendirdiğimiz tüm makinelerde mutlaka bir denetleyiciye (kontrol ünitesi) gereksinim vardır. Denetleyici; veri depolama, veri karşılaştırma ve çoklayıcıyı kontrol etme gibi fonksiyonları yerine getirmektedir. Çoğu denetleme ünitesi, birçok kontrol programına sahip bir elektronik donanım platformundan oluşmaktadır.

Günümüzde, makineler için donanımsal denetleme platformu olarak çeşitli seçenek mevcuttur. Bunlar: ASSP Mikro İşlemciler (μ P), ASSP Dijital Sinyal İşleyiciler (DSPs), ASSP Mikro Denetleyiciler (MCU), ASIC Mikro İşlemciler, ASIC Mikro Denetleyiciler ve Alanda Programlanabilir Kapı Dizileri (FPGAs) sayılabilir.

ASSP Mikro İşlemciler: Uygulamaya özel standart ürün (ASSP) olarak üretilen mikro işlemciler bilindiği gibi daha çok kişisel bilgisayar üretimi için kullanılan yongalardır. Merkezi işlem birimi (CPU) olarak görev yapan bu yongalar yalnız başlarına kullanılmayıp bellek ünitesi, ADC / DAC üniteleri, dijital ve analog giriş/çıkış üniteleri gibi çevresel ünitelerin yardımıyla bir denetleyici halini alabilmektedir. Bu nedenle

ASSP mikro işlemcileri ile tasarlanacak kontrol sistemi hem karmaşık hem de maliyetlidir.

ASSP Dijital Sinyal İşleyiciler: Uygulamaya özel standart ürünlerden DSP'ler sadece ve sadece dijital sinyal işleme amaçlı kullanılmaktadır. Farklı bir kontrol sistemi tasarımı gerçekleştirmek için uygun yongalar değildirler.

ASSP Mikro Denetleyiciler: Uygulamaya özel standart ürün gruplarından bir diğeri olan mikro denetleyiciler, yapılarında hem mikro işlemci hem de çok kullanışlı çeşitli çevre birimlerini de barındırmaktadırlar. Aslında ASSP mikro denetleyiciler; tek bir silikon yonga üstünde birleştirilmiş bir mikroişlemci, veri ve program belleği, sayısal giriş ve çıkışlar, analog girişler ve daha fazla güç veren ve işlev katan öteki çevre birimlerini (zamanlayıcılar, sayaçlar, kesiciler, analog-sayısal çeviriciler) barındıran mikrobilgisayarlardır.

ASIC Mikro İşlemci / Mikro Denetleyiciler: Uygulamaya özel tümleşik devreler genel amaçlı ASSP mikro işlemcilerin ve mikro denetleyicilerin aksine, belirli özel bir işlemi veya görevi yerine getirmek üzere tasarlanmış tümleşik devrelerdirler. Yani bu tümleşik devrelerin yapılarındaki esneklik sayesinde sadece bir mikro işlemci veya bir mikro denetleyici olarak kullanılmamaktadırlar. Üretici firmanın sunduğu yazılımsal araçlar vasıtasıyla yonga içerisi yapılandırılarak farklı özellikteki yongalara dönüştürülebilmektedirler.

Alanda Programlanabilir Kapı Dizileri: Alanda programlanabilir kapı dizileri, programlanabilir mantık blokları ve bu bloklar arasındaki ara bağlantılardan oluşan ve geniş uygulama alanlarına sahip olan tümleşik devrelerdir. FPGA'lar yapılarında bulundurdıkları “mantık blokları” ve bu bloklar arasında çoklu bağlantıları sağlayan ve

tekrardan yapılandırılabilinen tellerden oluşmaktadırlar. Bu teller ve mantık blokları, en basit AND/OR kapılarından tutun en karmaşık bileşimsel fonksiyona kadar yapılandırılabilirler. Ayrıca FPGA'lar flip-flop gibi basit bellek birimleri ve hatta komple bellek üniteleri bulundurabilirler. Günümüzde FPGA teknolojisi öyle bir noktaya gelmiştir ki; dijital sinyal işlemeden yazılımsal tanımlı radyolara, uzay ve savunma sistemlerinden ASIC ön-ürün oluşturmaya, medikal çalışmalarından ses tanımlama sistemlerine, bilgisayar donanım emülasyonlarından kriptolojiye kadar birçok alanda kullanılabilecek kadar geliştirilmiştir.

2.1. Donanımsal Altyapı Arayışları Sonucunda Uygun Yonganın Belirlenmesi

Bölüm 2'de yazım ekranı tasarımında kullanılacak donanımsal altyapı için alternatif olarak sunulabilecek donanımsal denetleme platformlarından bahsedilmiştir. Fakat bahsi geçen denetleme platformlarından ASSP mikro işlemciler ile tasarlanan sistemlerin hem karmaşık olması hem de maliyetinin çok yüksek olması bu yonga türünün elenmesini sağlamıştır. Ayrıca, başka bir denetleme platformu olan ASSP dijital sinyal işleyici yongaları da sadece dijital sinyallerin işlemesi uygulamalarında kullanılabilmeleri ve başka uygulamalarda kullanılamamaları sebebiyle doğrudan elemeye tabi tutulmalarına neden olmuştur. Bu durumda;

- ASSP Mikro denetleyiciler
- ASIC Mikro İşlemciler/ Mikro denetleyiciler
- Alanda Programlanabilir Kapı Dizileri (FPGA)

yongaları arasında uygun olanın seçimi gerçekleştirilmiştir.

Bölüm 1'de belirtilen amaçlar da göz önünde bulundurularak donanımsal alt yapı için en uygun denetleme platformu seçilmeye çalışılmıştır. Seçme işlemi gerçekleştirilirken şu kriterler göz önünde bulundurulmuştur:

- Performans ve fonksiyonellik
- Kolay programlanabilirlik/yapılandırılabilirlik
- Çok yönlülük ve esneklik
- Maliyet

Ayrıca her kriterde sunulan iddialar ilgili kaynaklarına atıfta bulunarak ayrı ayrı desteklenmiştir.

- ASSP mikro denetleyici yongaları ve ASIC mikro denetleyici yongaları, FPGA yongalarına karşı yapılarının yoğunluğundan kaynaklanan performans farklı bulunmaktadır [3,4]. (Puanlama: ASSP=1, ASIC=1, FPGA=0)
- FPGA ve ASIC yongalarda paralel işlem yapabilme özelliği bulunmaktadır. Fakat ASSP yongalarında bu özellik bulunmamaktadır [5]. (Puanlama: ASSP=1, ASIC=2, FPGA=1)
- FPGA yongalarının hem rahatça programlanabiliyor olması hem de bellek gibi birimlere rahatça yer ayırabiliyor olması ASIC ve ASSP yongalarına karşı avantajdır [3]. (Puanlama: ASSP=1, ASIC=2, FPGA=2).
- FPGA yongaları tekrar tekrar tümünden ve hızlıca yapılandırılabilirler. ASIC yongaları tek seferlik yapılandırılabilirler. ASSP yongaları ise yapılandırılabilme özellikleri fabrikasyondan öteye gidememektedir [6]. (Puanlama: ASSP=1, ASIC=3, FPGA=3).
- NRE (Non-Recurring Engineering) denilen yani, AR-GE süreci için kısmi tekrarlamaların en aza indirilmesi ile düşürülen maliyet ücretlerinin FPGA yongaları için yok denecek kadar az olması ve ASIC ve ASSP yongaları için bu ücretin çok yüksek olması bu iki yongaya karşı FPGA yongasının bir avantajıdır [7]. (Puanlama: ASSP=1, ASIC=3, FPGA=4)
- Güç tüketimi ve güç yönetimi konusunda hem FPGA yongaları hem de ASIC yongaları ASSP yongalarının çok gerisinde kalmıştır [4,8,9]. (Puanlama: ASSP=2, ASIC=3, FPGA=5)

- FPGA ve ASIC yongaları ön-ürün (prototype) oluşturma çalışmalarında kullanılabilirler. Fakat ASSP yongaları standart bir ürün olarak oluşturulduklarından farklı ön-ürün oluşturma çalışmalarında kullanılamazlar [10]. (Puanlama: ASSP=2, ASIC=4, FPGA=5)
- Ön-ürün oluşturma çalışmalarında, FPGA yongaları ASIC yongalarına karşı daha kısa sürede, daha ucuz ve daha az zahmetle ön ürün oluşturabilmektedir [7,10]. (Puanlama: ASSP=2, ASIC=4, FPGA=6)
- FPGA ve ASIC teknolojileri tek yonga üzerinde birden fazla kontrol birimi bulundurabilme olanağı sağlarlar. Multiprocessor System on a Chip yaklaşımı da denilen bu özellik ASSP yongalarında bulunmamaktadır [11]. (Puanlama: ASSP=2, ASIC=5, FPGA=7)

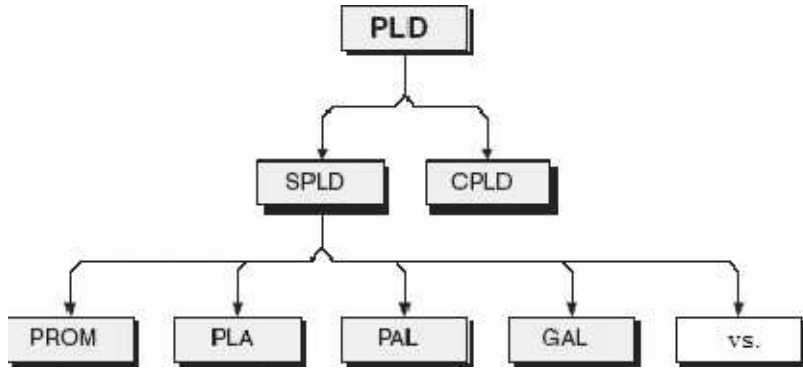
Yukarıda gerçekleştirilen karşılaştırmalar göz önünde bulundurularak FPGA yongası kullanılarak sistem donanımsal altyapısı tasarlamaya karar verilmiştir.

3. FPGA YONGASININ TARİHSEL GELİŞİMİ VE YAPISAL ÖZELLİKLERİ

FPGA teknolojisi, alt yapı olarak kabul edilen birtakım teknolojik gelişmelerin devamında ortaya çıkmıştır. Bu teknolojik gelişmeler:

3.1. PLD

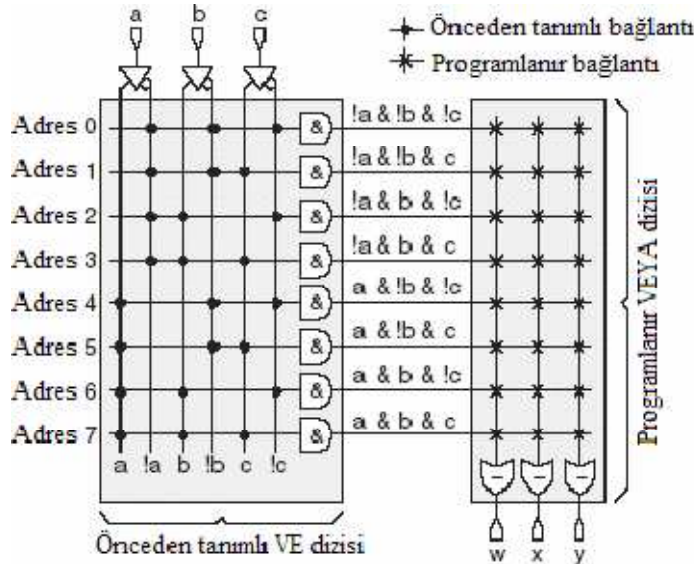
İlk programlanabilir tümleşik devreler genel olarak “programmable logic device (PLD)” olarak takdim edilmektedirler [12]. Programlanabilir mantık aygıtları için genel sınıflandırma Şekil 3.1’de verilmektedir.



Şekil 3.1. Programlanabilir mantık aygıtları genel sınıflandırma [12,13]

3.1.1. PROM (Programmable Read Only Memory)

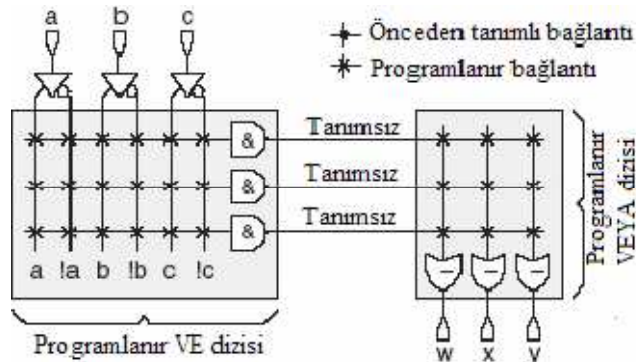
En basit PLD çeşididir. Sabit VE kapısı fonksiyonlarının VEYA kapı fonksiyonlarını sürmesi şeklinde oluşturulmaktadırlar. Şekil 3.2’de 3 giriş ve 3 çıkışa sahip PROM örneği verilmektedir.



Şekil 3.2. 3-giriş ve 3-çıkışa sahip PROM [12]

3.1.2. PLA (Programmable Logic Array)

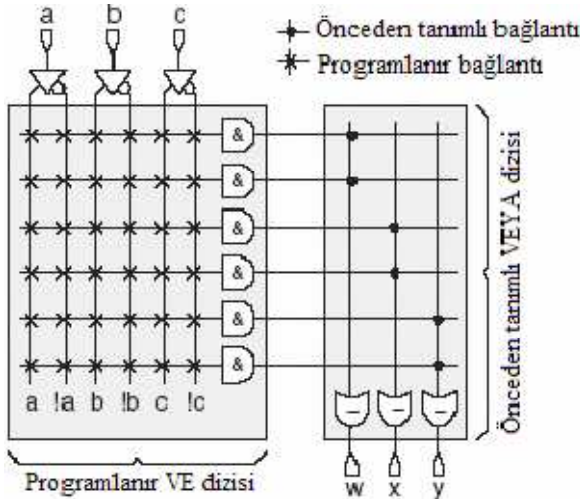
Programlanabilir mantık dizisi (PLA) teknolojisi PROM kısıtlamalarını aşarak takriben 1975'te geliştirilmişlerdir [12]. Basit PLD'ler içerisinde kullanıcıya en fazla yapılandırma imkânı veren yonga türüdürler. Çünkü VE ve VEYA dizilerinin her ikisi de programlanabilmektedirler(Bkz. Şekil 3.3).



Şekil 3.3. 3-giriş ve 3-çıkışa sahip PLA

3.1.3. PAL (Programmable Array Logic)

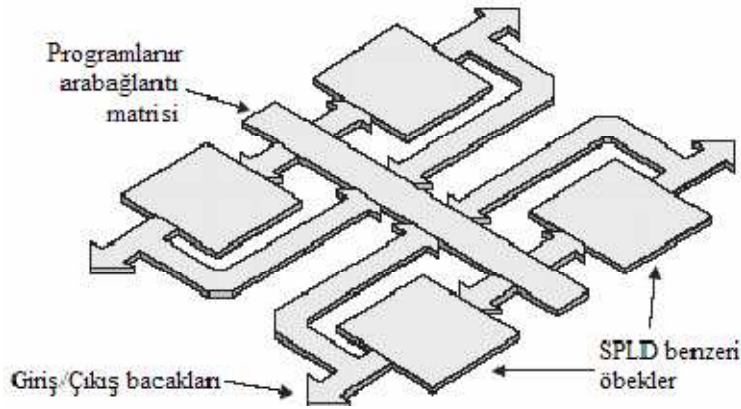
Programlanabilir dizi mantıkları PROM' ların tam tersi bir yapıya sahiptirler. VE dizileri programlanmakta ve VEYA dizileri önceden tanımlı olmaktadır [12]. Şekil 3.4'te 3 giriş 3 çıkışlı basit PAL verilmiştir.



Şekil 3.4. 3-giriş ve 3-çıkışa sahip PAL

3.1.4. CPLD (Complex Programmable Logic Device)

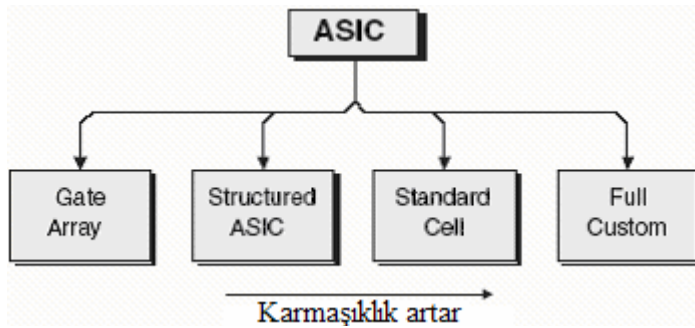
Artan kapasite ihtiyacı neticesinde 1984 yılında Altera firması CMOS ve EPROM teknolojilerine dayanan karmaşık programlanabilir mantık aygıtlarını (CPLD) geliştirmişlerdir [11]. CMOS kullanarak küçük güç tüketimi ile muazzam işlevsel yoğunluk ve karmaşıklık sağlanmıştır. Programlanabilirlik EPROM hücrelerine dayandığından, geliştirme ve ön ürün için yeğlenmişlerdir. Genel olarak giriş/çıkış öbeği ve aynı programlanabilir ara bağlantı matrisini paylaşan SPLD (Simple PLD) öbeklerinden oluşmaktadırlar (Bkz. Şekil 3.5). Ara bağlantılar ile sinyaller aygıtın bir bölümünden diğer tüm bölümlerine ulaşabilmektedirler.



Şekil 3.5. Genel CPLD yapısı

3.2. ASIC (Application Specific Integrated Circuit)

Uygulamaya özgü tümleşik-devre kendi içerisinde dört alt başlıkta incelenmektedir. Bu başlıklar Şekil 3.6’da gösterilmektedir [13].



Şekil 3.6. ASIC çeşitleri

3.2.1. Tam özel (Full custom)

Tasarlanan devrelerin hızı ve karmaşıklığı artıkça tasarımcının üretim sürecine müdahalesi de artmaktadır. Yüksek hızlı sistemler ile gizliliği önemli olan devreler Full-Custom yöntemi ile tasarlanmaktadır. Bu yöntemde üreticinin gönderdiği kütüphaneler kullanılmamaktadır. Üreticiden metal bağlantı yüzeyleri sayısı, iki kanal arası izin

verilen en kısa mesafe gibi teknolojik bilgiler alınmaktadır. Üreticiye masklar dışında herhangi bir bilgi gönderilmediği ve üreticinin kütüphaneleri kullanmadığı için tasarımın çözülme olasılığı bulunmamaktadır. Tasarımı ve üretimi, öteki iki yöntemle göre daha uzun süren bir yöntemdir [13].

3.2.2. Standart hücre (Standard Cell)

Bu yöntemde de üreticinin kütüphaneleri kullanmakla birlikte yonga üzerindeki hücrelerin konumu tasarımcı tarafından belirlenmektedir. Gate array yöntemi gibi temel hücre yaklaşımı bulunmamaktadır. Kütüphane içinde yer alan modeller üzerinde herhangi bir değişiklik yapılmamakla birlikte, yonga üzerinde oluşturulacak serimde tasarımcının söz sahibi olması, üretim sonuçlarının benzetim sonuçlarına daha yakın olmasını sağlamaktadır. Sistem gizliliği daha fazladır. Ancak yine de üreticinin modellerinin kullanılmış olması, çok zor olmakla birlikte, sistemin çözülme olasılığını gündeme getirebilmektedir [13].

3.2.3. Kapı dizisi (Gate array)

Bağılantısız transistör ve direnç içeren temel hücreler mantığına dayanmaktadır. Her ASIC sağlayıcısı özel birim hücrelerinde en uygun bileşen dağılımını belirlemektedir.

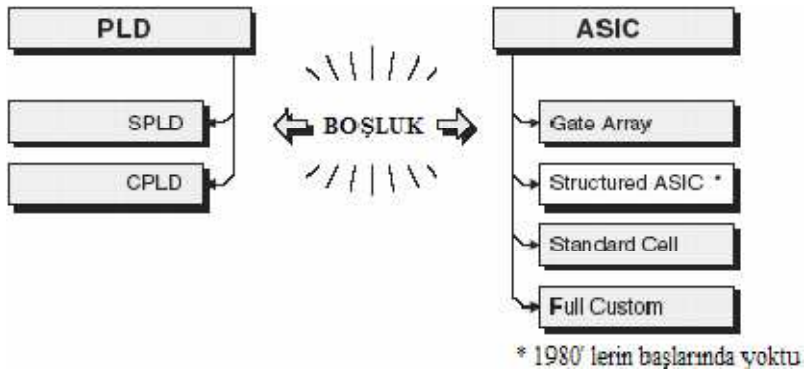
En kısa sürede sonuç alınabilen, tasarımı ve üretimi kolay olan ASIC tasarım ve üretim yöntemidir. Üreticiye masklarla birlikte devre şemaları da verildiği için tasarım gizliliği en az olan yöntemdir. Ancak tasarım ve üretim süreçlerinin kısıllığı, ASIC tasarımına yeni başlayanlar için, sonuçları kısa bir süre içinde görmek açısından, bu yöntemi çekici bir duruma getirmektedir. Olumsuz tarafları, çoğu tasarım önemli miktarda içsel kaynağı kullanmadan bırakır. Bağlantı düzenlemeleri kısıtlanır ve en iyi durum sağlanamaz. Bu da tasarımın başarımını ve güç tüketimini olumsuz etkiler [13].

3.2.4. Yapılandırılmış ASIC (Structured ASIC)

On yıllık geçmişine rağmen son birkaç yıl daha çok kullanılmaya başlanmış bir teknolojidir. Her aygıtta “module” (birim) veya “tile” (kiremit) olarak isimlendirilen temel öğeleri bulunmaktadır. Çoğu yapılandırılmış ASIC mimarisi için özelleşmiş iki veya üç metalleme katmanı yeterli gelmektedir. Bu sayede tasarımı oluşturma maliyeti ve zamanı önemli ölçüde azalmaktadır. Ancak yapılandırılmış ASIC, Standart Hücre yöntemine göre aynı fonksiyonu gerçeklemek için silikon alanı ve güç tüketimi açılarından yaklaşık üç kat fazlasına gereksinim duymaktadır.

3.3. FPGA

Sayısal tümleşik-devre sürecinde 80’ li yıllarda belli boşluklar görülmeye başlanmıştır. Bir tarafta SPLD ve CPLD gibi programlanır yongalar yüksek yapılandırılabilme, hızlı tasarım ve hızlı değişiklik yapılabilme özelliklerine sahip iken aynı yongalar geniş ve karmaşık tasarımları destekleyememekteydiler. Diğer tarafta ASIC yonga tasarımları ile çok geniş ve karmaşık işlevler desteklenmekle beraber oldukça pahalı ve zaman alan süreçler oluşmaktaydı. Üstelik yapılan tasarımların geri dönüşleri de yapılamamaktaydı.



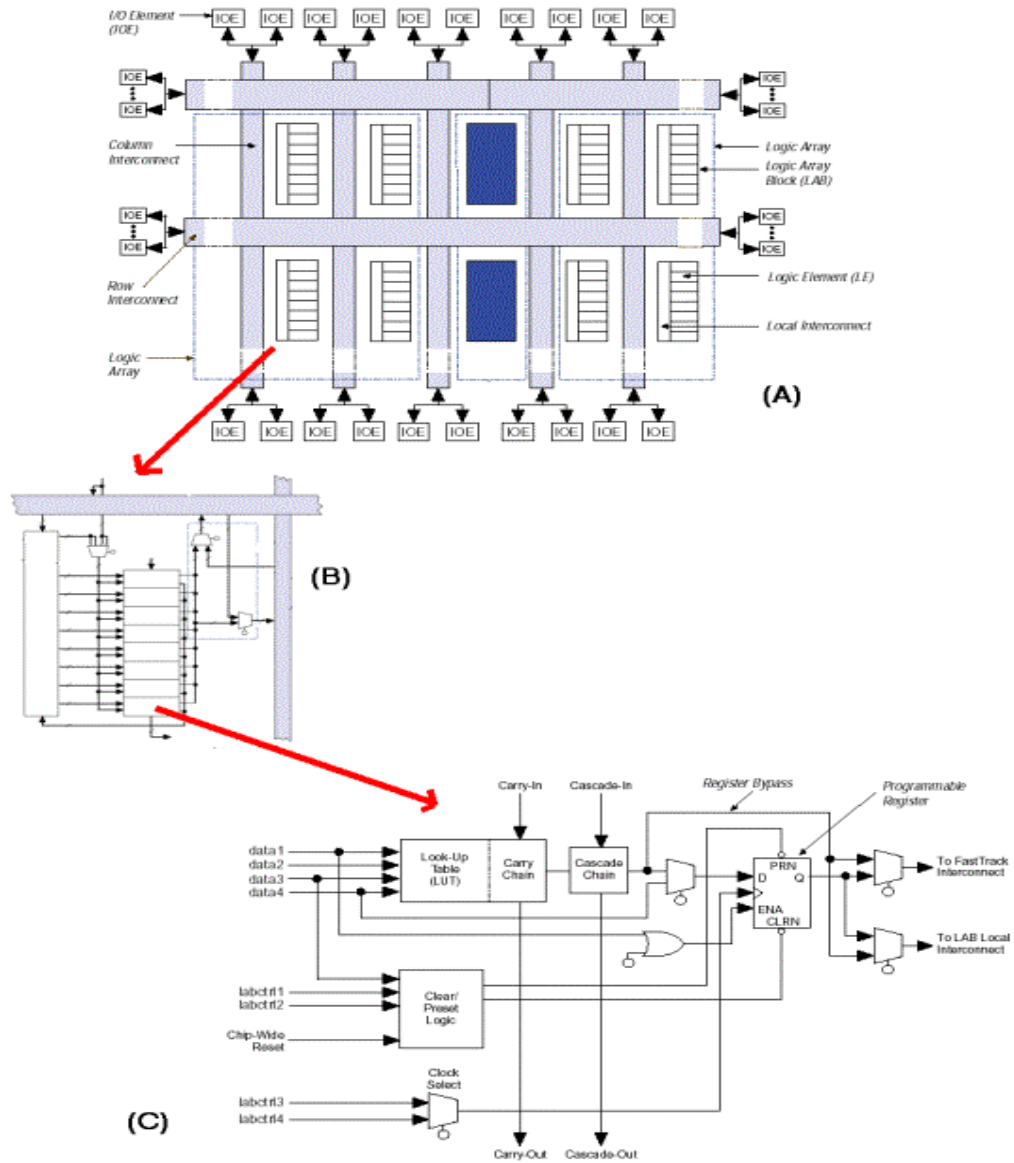
Şekil 3.7. PLD ve ASIC yaklaşımları arasındaki boşluk

Şekil 3.7’de belirtilen boşluğu doldurmak amacıyla 1984 yılında Xilinx firması FPGA adını verdiği yeni bir tümleşik devre sınıfı geliştirmiştir [15]. İlk FPGA’ ler CMOS tabanlı ve yapılandırma için SRAM hücreleri kullanmaktaydılar. İlk örnekleri çok daha basit olmalarına rağmen temelde var olan mimari çoğu açıdan hala kullanılmaktadır.

Günümüzde FPGA yongaları yapılarında bulundurdıkları “mantık blokları” ve bu bloklar arasında çoklu bağlantıları sağlayan ve tekrardan yapılandırılabilinen tellerden oluşmaktadır. Bu teller ve mantık blokları, en basit AND/OR kapılarından en karmaşık bileşimsel fonksiyona kadar yapılandırılabilirler. Şekil 3.8’de bir FPGA yongasının içyapısı gösterilmektedir.

Şekil 3.8’de de görüldüğü üzere FPGA yongaları; programlanabilir mantık blokları, bu blok dizisini çevreleyen giriş-çıkış blokları ve ara bağlantılar olmak üzere düzenlenebilir üç ana bölümden oluşmaktadır. Programlanabilir mantık blokları, ara bağlantılar içerisine gömülü şekilde bulunur. Programlanabilir mantık bloklarının yapılandırılması ve bu bloklar arasındaki iletişim ara bağlantılar sayesinde gerçekleştirilir. Giriş çıkış blokları, ara bağlantılar ile bütünleşmiş devrenin paket bacakları arasındaki ilişkiyi sağlamaktadır.

FPGA yongasının programlanması işlemi yonga üretici firmaları tarafından geliştirilen özel programlar ile gerçekleştirilmektedir. Bu programlar belirli bir donanım tanımlama dili ile yazılmış olan kod parçasını FPGA yongasının anlayabileceği şekilde derleyip özel donanımsal aygıtlar vasıtasıyla FPGA yongasına yüklemektedir. Yazım ekranı tasarımı gerçekleştirilirken donanım tanımlama dillerinden biri olan Verilog dili ile çalışılmıştır. Bu dil ile ilgili ayrıntılara Bölüm 3.4’te değinilmektedir.



Şekil 3.8. Bir FPGA yongasının iç yapısının ayrıntılı olarak gösterilmesi

3.4. Donanım Tanımlama Dilleri ve Verilog Dili

Elektronik devrelerin tanımlanması için Donanım Tanımlama Dilleri (DTD) kullanılmaktadır. Donanım tanımlama dili devrenin; yürüttüğü işlemini, tasarımını ve benzetim yoluyla doğrulamasını gerçekleştirebilir. Yazılım programlama dilinden farklı

olarak, DTD'nin sözdizimi ve semantiği donanımın birinci özelliği olan zaman ve uyumluluk açısından açık ifadelere yer vermektedir.

İlk donanım tanımlama dilleri olan ISP (Carnegie Mellon üniversitesi) ve KARL (Kaiserslautern Üniversitesi) 1977 yılı civarında bulunmuştur. Bu diller daha çok tasarımın giriş ve çıkışı arasındaki bağlantıları tanımlayan yazılım programlama dilleri gibiydiler. Bu sebeple tasarım benzetimi için kullanılabilirken, sentezleme işlemleri için kullanılamamaktaydılar [16-17].

İlk modern DTD dili olan Verilog, 1985 yılında Gateway Design Automation tarafından bulunmuştur. Daha sonraları Cadence Design Systems gelecek on senenin DTD benzetim standardı haline gelecek olan Verilog-XL'nin haklarını satın almıştır. Verilog dilinin zaman içerisinde standart haline gelmiş birçok versiyonları ortaya çıkmıştır. Şuan ki en gelişmiş hali IEEE P1800-2005 standardı olmuş SystemVerilog'tur.

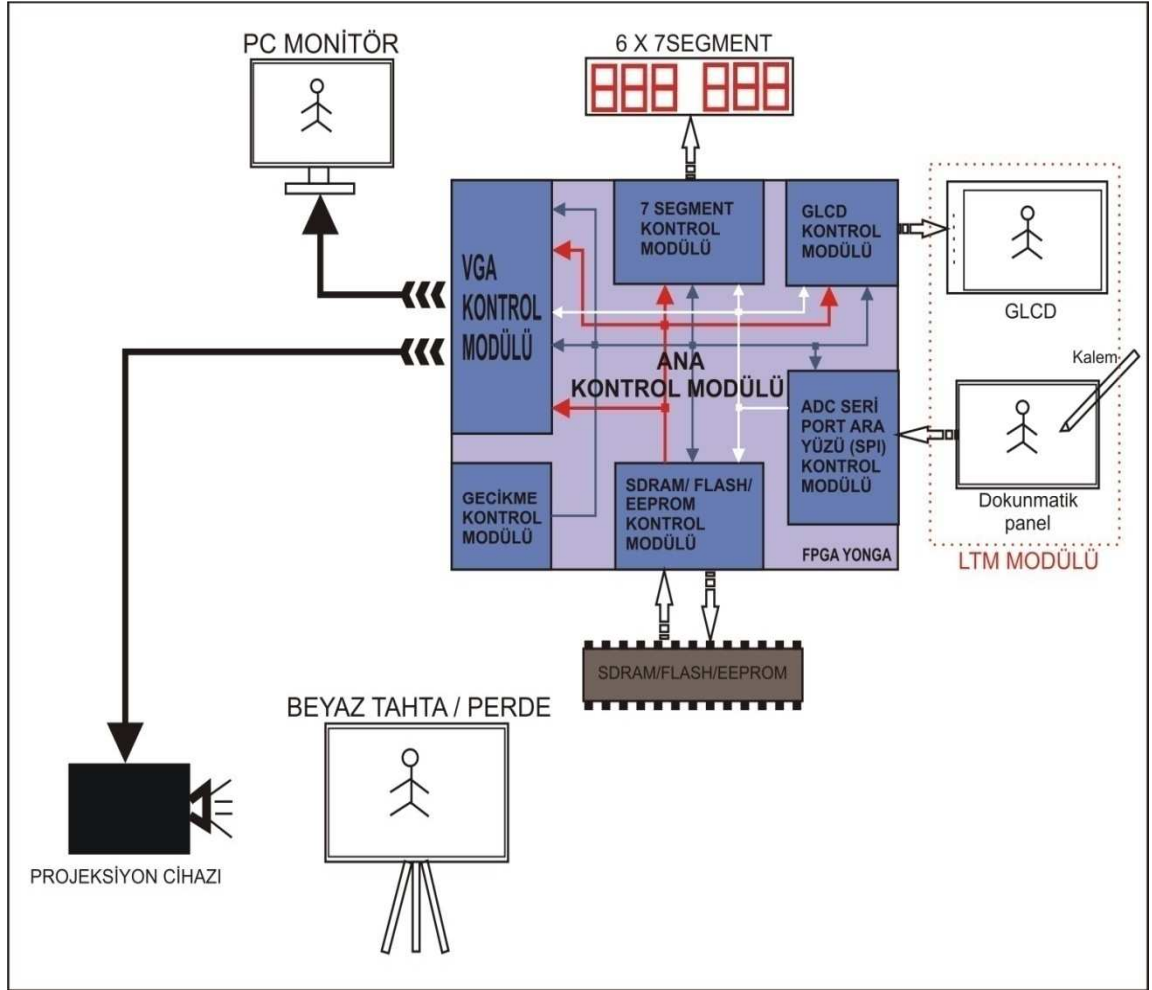
Proje süreci içerisinde, FPGA yongası Verilog donanım tanımlama dili yardımıyla yapılandırılmıştır.

4. DOKUNMATİK YAZIM EKRANININ TASARLANMASI

Etkileşimli sınıflarda kullanılan akıllı tahta sistemi referans alınarak “FPGA teknolojisinin sunduğu kolaylıklardan yararlanarak; bilgisayar desteği olmayan, düşük maliyetli, portatif veya sabit olarak kullanılabilen, projeksiyon cihazı destekli dokunmatik bir eğitim ve yazım ekranı” tasarlanmıştır.

Proje için gerekli olan donanımsal devre şemaları, akış diyagramları ve Verilog donanım tanımlama dilinde hazırlanmış olan kod parçaları doküman dâhilinde verilmektedir. Fakat, mevcut şartlarının yetersiz olmasından dolayı başlı başına bir donanım gerçekleştirilememiş olup, donanımsal gerçekleştirme ve simülasyon işlemleri ALTERA firması tarafından üretilen FPGA (Field Programmable Gate Arrays - Alan Programlanabilir Kapı Dizileri) yongaları kullanılarak TerASIC firması tarafından bir eğitim platformu haline dönüştürülmüş DE2-70 ana kartı üzerinde gerçekleştirilmiştir. Ana kartın sunmuş olduğu hazır donanımlar sayesinde gerekli yapılandırmalar ile istenen işlemler gerçekleştirilmiştir.

Proje dahilinde gerçekleştirilen işlemler Şekil 4.1’de gösterilmektedir. Tasarım aşamasına geçilmeden önce tasarımda gerçekleştirilen işlemler ve tasarımın çalışma sistemi Şekil 4.1 yardımıyla genel olarak anlatılmaktadır.



Şekil 4.1. Genel hatları ile dokunmatik yazım ekranını oluşturan birimlerin şematik gösterilmesi

Şekil 4.1’de görüldüğü üzere; dokunmatik GLCD panel (LTM – LCD Touch Module) üzerindeki dokunmatik panel yoluyla özel bir kalem ile panel üzerine çizilmiş olunan şekillerin X ve Y koordinat değerleri bir ADC (Analog to Digital Converter) yongası yardımıyla dijital değerlere dönüştürülmektedir. Dijital değerlere dönüştürülmüş olan X ve Y koordinat değerleri FPGA yonga üzerinde tanımlanmış olunan “ADC seri port ara yüzü (SPI) kontrol modülü” yardımıyla FPGA içeriğine aktarılmaktadır. “ADC seri port ara yüzü (SPI) kontrol modülü” yardımıyla FPGA ortamına aktarılan X ve Y koordinatlarının dijital değerleri FPGA yonga üzerinde tanımlanmış “SDRAM veya

Kayıtçı (Register) kontrol modülü” vasıtasıyla bir harici RAM (Random Access Memory) belleğe veya bir iç kayıtçıya depolaması gerçekleştirilmektedir. Mevcut sistemde iç kayıtçı (register) kullanılmıştır. Tekrardan aynı modül vasıtasıyla kayıtçı içerisine depolanmış olan koordinat bilgilerini eş zamanlı olarak; “GLCD kontrol modülü, 7 parçalı gösterge kontrol modülü ve VGA kontrol modülüne” gönderilmektedir. “GLCD kontrol modülü” dokunmatik GLCD panelini kontrol etmek için FPGA yongası içine tanıtılmıştır. Bu modül, “SDRAM veya Kayıtçı kontrol modülünden” almış olduğu koordinat bilgilerini işleyip GLCD üzerinden görüntüye dönüşmesine yardımcı olmaktadır. “7 parçalı gösterge kontrol modülü” de ana kart üzerindeki 6 adet 7 parçalı göstereyi kontrol etmek için oluşturulmuştur. Bu modül, “SDRAM veya kayıtçı kontrol modülünden” almış olduğu X ve Y koordinat değerlerini 3’lü göstergeler halinde ayırarak görsel sunumunu gerçekleştirmektedir. “VGA kontrol modülü” ise bir VGA (Video Graphics Array) yongası yardımıyla ana karta takılacak herhangi bir bilgisayar monitörüne (veya projeksiyon cihazına) görüntü aktarmak için kullanılır. Bu modül de, “SDRAM veya kayıtçı kontrol modülünden” almış olduğu koordinat bilgileri işleyip bilgisayar monitörüne gönderme işlemini yerine getirmektedir.

4.1. Yazım Ekranının Donanımsal Tasarımı

Yazım ekranı iki donanımsal birimin bir araya gelmesiyle oluşmaktadır. Bu donanımsal birimlerden birincisi LTM olarak isimlendirilen “Lcd dokunmatik panel” birimidir. Diğer birim ise FPGA yongası ile kurulan “kontrol” birimidir.

4.1.1. Lcd dokunmatik panel birimi

Resim 4.1’de görüldüğü üzere kısa adıyla LTM (Lcd Touch Panel Module); 800x400 piksellik, 24 bit renk çözünürlüğüne sahip, 4.3 inç boyutundaki bir grafik LCD ile

birlikte 4.3 inç boyutunda bir dirençsel dokunmatik paneli üzerinde barındıran bir modüldür.

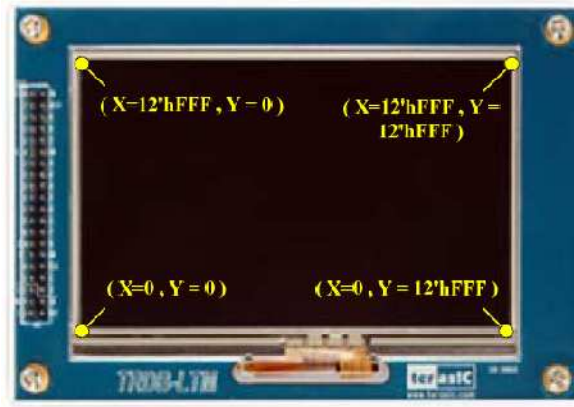


Resim 4.1. LTM modülü ve ana karta bağlantı kablosu

Bu modül daha çok sistem kontrolü ve görsel aktarım amaçlı kullanılmaktadır. Yüksek çözünürlükteki ekranıyla ve dokunmatik panel desteği ile çok çeşitli alanlardaki uygulamalara kolaylıkla dâhil edilebilmektedirler.

Bu projede LTM modülün amaç ve işlevi şu şekildedir:

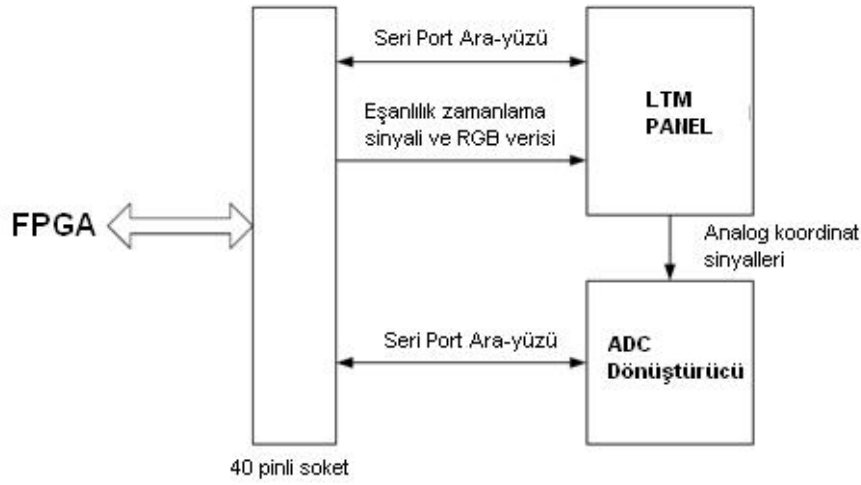
Birincil olarak; bu modül üzerinde aktif alan dâhilinde bir kalem vasıtasıyla çizilen şekiller dokunmatik panelin bağlı olduğu bir ADC yonga yardımıyla 12'şer bitlik X ve Y koordinat değerlerine dönüştürülmektedir. Şekil 4.2'de LTM modülün aktif alanı ve 12 şer bitler halinde X ve Y koordinat gösterimi bulunmaktadır.



Şekil 4.3. LTM modül üzerinde X ve Y koordinatlarının 12 şer bitler halinde gösterilmesi

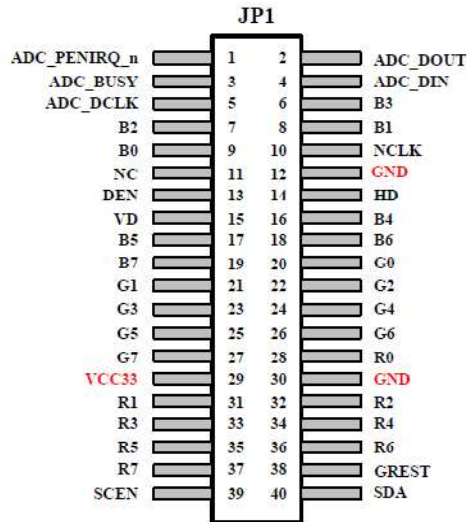
LTM panelinin esas sistem ana kartı ile bağlantısını sağlayan 40 pinli bir soket bağlantısı bulunmaktadır. Dijital değere dönüştürülen X ve Y koordinat değerleri FPGA yongasının bulunduğu ana kart ile bağlantısı bu soket vasıtasıyla oluşturulmaktadır.

İkincil olarak FPGA yongası içerisinde anlamlı hale dönüştürülen veriler tekrardan bu modül üzerindeki GLCD ekrana geri iletilir. Böylelikle dokunmatik panel üzerinde yapılan çizimlerin görsel aktarımı gerçekleştirilmiş olunur. Bu panel üzerindeki veri akış sistemi Şekil 4.4'te gösterilmektedir.



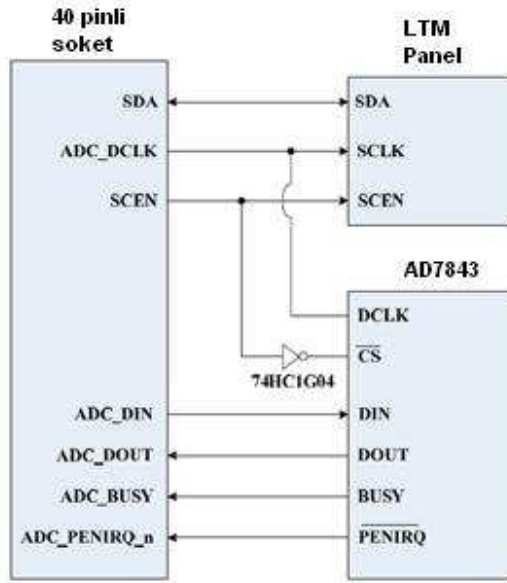
Şekil 4.4. LTM panel üzerindeki veri akış sistematığı

Şekil 4.5'te görüldüğü üzere hem GLCD hem de ADC seri port ara yüzü FPGA ile aynı soket ve kablo ile bağlı bulunmaktadır.



Şekil 4.5. 40 pinli soketin pin bağlantıları

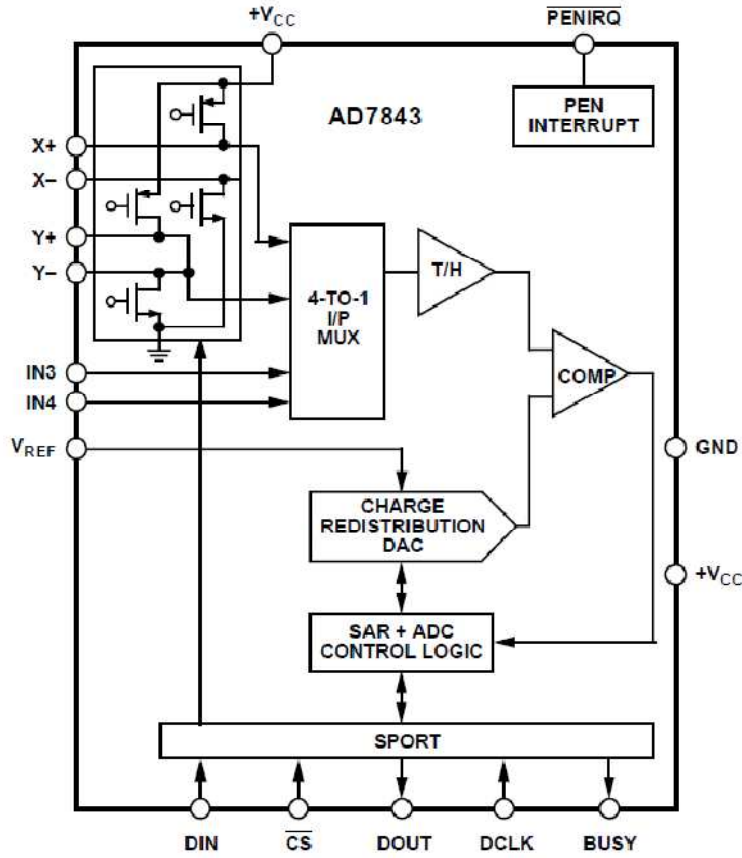
Şekil 4.6’da da görüldüğü üzere 40 pinli soket üzerindeki pinlerin yetersiz olmasından dolayı bir kısım pinler LCD ve ADC seri port ara yüzü arasında ortaklaşa kullanılmaktadırlar.



Şekil 4.6. Seri port ara yüzünü kullanan LCD sürücü yongası ve AD7843 ADC yongasının 40 pinli soket ile olan bağlantıları

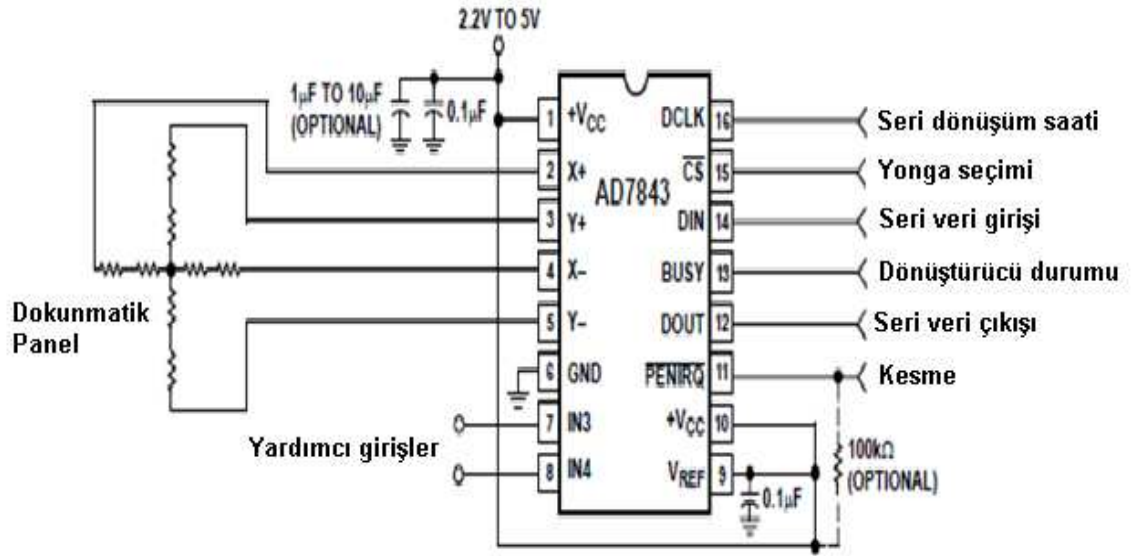
Ortak kullanım sinyallerinden dolayı LTM modülü üzerinde oluşturulması gereken seri port ara yüzünün kontrolünde çok dikkatli olmak gerekmektedir. Aslında gerek LCD sürme yongası gerekse ADC yongası için bu sorun CS (chip select) özelliklerinin istenilen zamanda etkin ve pasif kılınması ile aşılması söz konusudur.

LTM aynı zamanda bir analogdan dijitale çevirici yonga barındırmaktadır. Bu yonga, Şekil 4.7’de iç yapısı gösterilen, dokunmatik panel üzerine dokunulduğu bölgenin analog olan X ve Y koordinat değerlerini 12 şer bitlik dijital değerlere çeviren AD7843 yongasıdır. Koordinat bilgileri yonga içerisine dijital değer olarak depolanır ve seri port ara yüzü üzerinden yongadan okunur.



Şekil 4.7. ADC işlemini gerçekleştiren AD7843 yongasının içyapısı

ADC dönüşümün gerçekleştirilmesinde diğer önemli bir adım olan dokunmatik panel ile ilgili gerekli bağlantı şeması Şekil 4.8’de verilmektedir. Bu şemada gerekli ADC dönüşümünün istenilen hassaslıkta ve değerde gerçekleştirilmesi için AD7843 yongası beraberinde kullanılması gereken direnç ve kapasitör değerleri de belirtilmektedir.



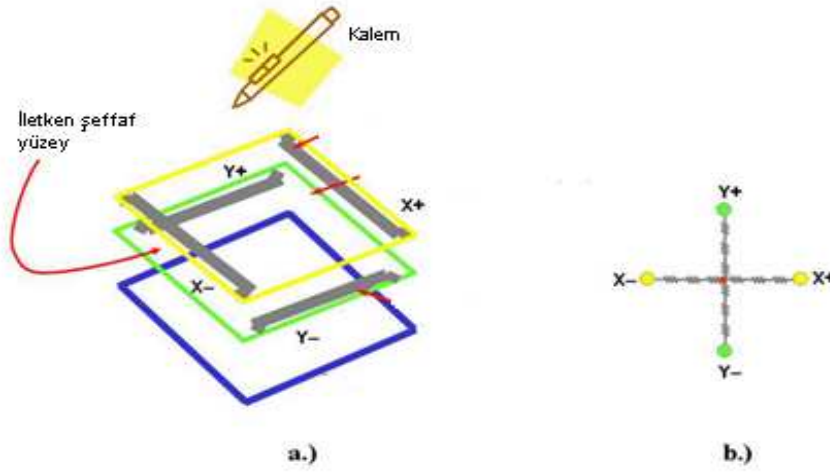
Şekil 4.8 Dokunmatik paneli süren ADC yongasının bağlantısı

ADC yongasına bağlanan X ve Y koordinat değerlerini dirençsel değer olarak aktaran panel 4 telli bir yapıya sahip olup sistematığı Şekil 4.9’da gösterilmektedir.



Şekil 4.9 Dört telli dirençsel dokunmatik panel

Şekil 4.9 ve Şekil 4.10'daki çizimlerde görüldüğü üzere sistem, X ve Y düzlemlerinde dokunulan noktanın direnç değerlerinin değişmesi sayesinde çıkış voltaj sinyalindeki değişmelerin alınması ve işlenmesi prensibi ile çalışmaktadır.



Şekil 4.10. Dokunmatik panelin X ve Y düzlemsel gösterimi

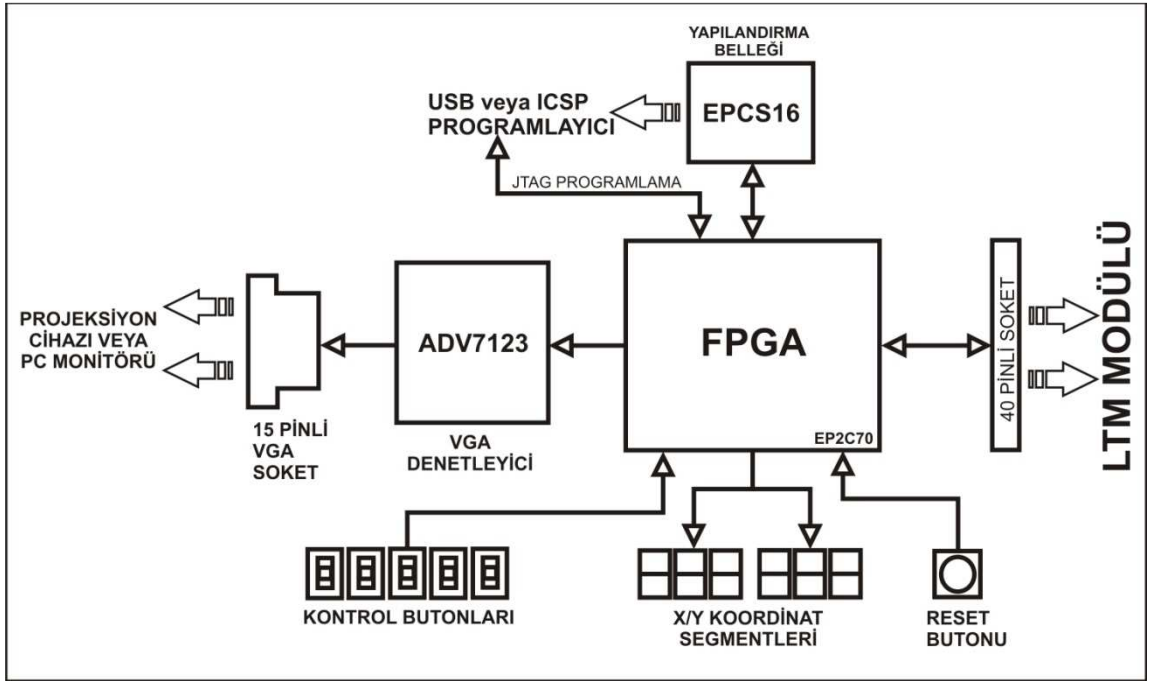
Dokunulan noktanın koordinat bilgileri 12 bitlik bir ADC yongası vasıtasıyla dönüştürüldüğünden hem X hem de Y koordinatları boyunca 4096 değerlik bir çözünürlük oluşturulmuştur. Yonga 5 V ile beslendiğinden ve alt eşik voltajı da 1 V olduğundan aradaki 4 V referans olarak alınmaktadır. Böylelikle her bir direnç değişimi için $4 \text{ V} / 4096 = 0.97 \text{ mili Volt}$ 'luk bir voltaj değişimi söz konusudur. Bu alınan analog değer ADC yongasında işlenmesi ile X ve Y koordinat değerleri elde edilir.

4.1.2. Kontrol birimi

Bölüm 4.1.1'de anlatılan dokunmatik GLCD panelden X ve Y koordinat değerlerini alan, aldığı bu değerleri işleyip tekrardan dokunmatik GLCD panelin LCD göstergesinde

görüntüye dönüşmesini sağlayan; ayrıca işlemiş olduğu koordinat değerlerinin bilgisayar monitöründe veya projeksiyon cihazında da eşanlı olarak görüntüye dönüşmesini sağlayan FPGA yongası ve bu yongaya yardımcı diğer yongaların donanımsal bağlantıları, işlev ve teknik detayları bu bölümde anlatılmaktadır.

Sistem ana kartının omurgası niteliğindeki FPGA yongası ve bu yongaya bağlı diğer yardımcı yonga, soket ve bağlantılar Şekil 4.11’de gösterilmektedir. Şekil dahilinde gösterilen oklar veri akış yönlerini göstermektedir.

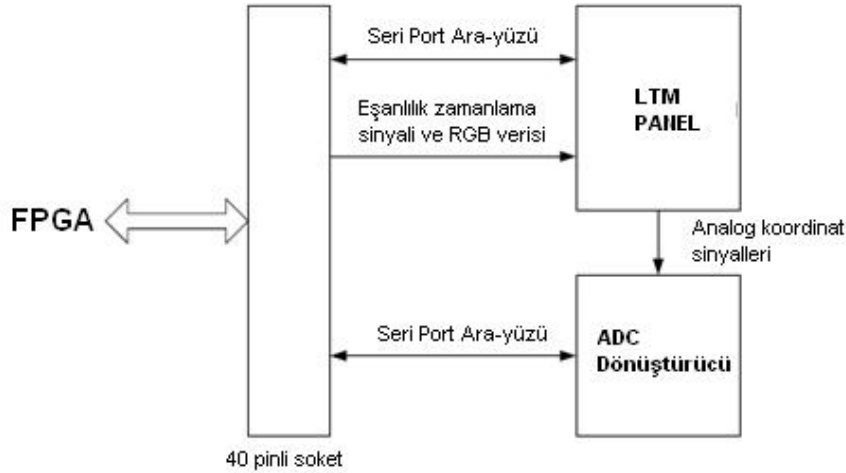


Şekil 4.11. Sistem ana kartı üzerindeki yonga, soket ve diğer devre elemanları arasındaki bağlantıların gösterilmesi

Esas omurga FPGA yongası olacak şekilde, diğer devre elemanlarının FPGA yongası ile olan donanımsal bağlantıları şu şekildedir:

40 pinli soket – FPGA bağlantısı:

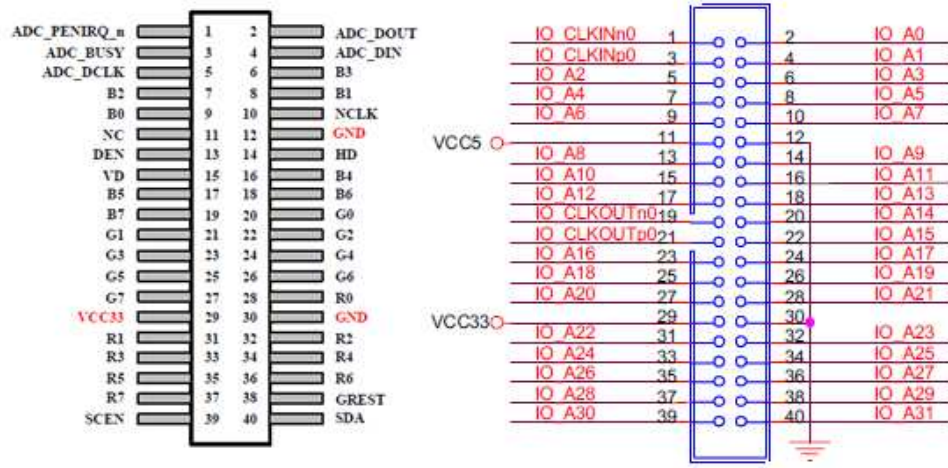
Ana kart üzerindeki 40 pinli soket vasıtasıyla FPGA ile LTM modül arasında fiziksel bağlantı gerçekleştirilmektedir. Bölüm 4.1.1’de de anlatıldığı üzere FPGA ile LTM modül arasında gerek LCD göstergeye görüntünün yollanması gerekse ADC yongasından dokunmatik panel değerlerinin okunması için 40 pin yeterli gelmemektedir. Fakat hem LCD göstergenin sürülmesi hem de ADC yongasından verinin okunması SPI ara yüzü üzerinden gerçekleştiğinden bir kısım pinlerin ortaklaşa kullanıldığına aynı bölümde değinilmiştir.



Şekil 4.12. FPGA yongasının 40 pinli soket vasıtasıyla LTM modüle bağlanması

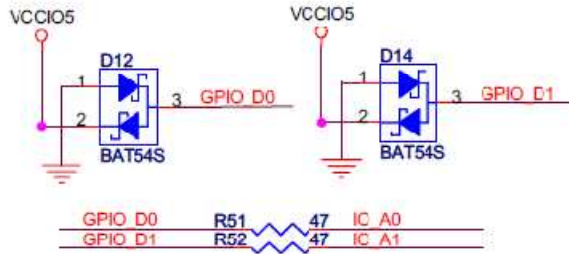
Şekil 4.12 ve 4.13’te görüleceği üzere 40 pinli soketin pinleri üzerinde şu bağlantılar gerçekleştirilmektedir:

- ADC SPI kontrol verisi
- LCD kontrol verisi
- 24 bitlik RGB verisi
- LTM modülünün çalışmasını sağlayan 3.3V VCC ve GND besleme pinleri



Şekil 4.13. FPGA ile LTM modül arasındaki 40 pinli soketin pin bağlantıları

Tasarım gerçekleştirilirken Şekil 4.14'te gösterildiği gibi her pine koruma direnç ve diyotları takılmaktadır.



Şekil 4.14. Pin koruma direnç ve diyotları

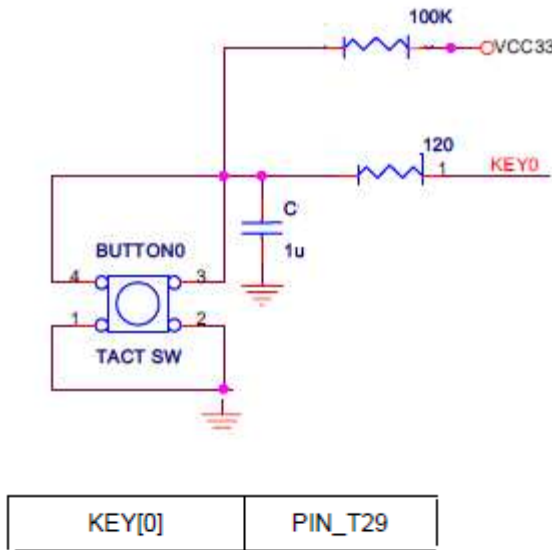
Her bir soket pininin FPGA yongası ile olan bağlantıları Çizelge 4.1'de gösterilmiştir.

Çizelge 4.1. Soket pinleri ile FPGA pinleri arasındaki bağlantı

IO_A [0]	PIN_C30	IO_A [19]	PIN_H24
IO_A [1]	PIN_C29	IO_A [20]	PIN_J25
IO_A [2]	PIN_E28	IO_A [21]	PIN_K24
IO_A [3]	PIN_D29	IO_A [22]	PIN_J24
IO_A [4]	PIN_E27	IO_A [23]	PIN_K25
IO_A [5]	PIN_D28	IO_A [24]	PIN_L22
IO_A [6]	PIN_E29	IO_A [25]	PIN_M21
IO_A [7]	PIN_G25	IO_A [26]	PIN_L21
IO_A [8]	PIN_E30	IO_A [27]	PIN_M22
IO_A [9]	PIN_G26	IO_A [28]	PIN_N22
IO_A [10]	PIN_F29	IO_A [29]	PIN_N25
IO_A [11]	PIN_G29	IO_A [30]	PIN_N21
IO_A [12]	PIN_F30	IO_A [31]	PIN_N24
IO_A [13]	PIN_G30	IO_CLKINN0	PIN_T25
IO_A [14]	PIN_H29	IO_CLKINP0	PIN_T24
IO_A [15]	PIN_H30	IO_CLKOUTN0	PIN_H23
IO_A [16]	PIN_J29	IO_CLKOUTP0	PIN_G24
IO_A [17]	PIN_H25		
IO_A [18]	PIN_J30		

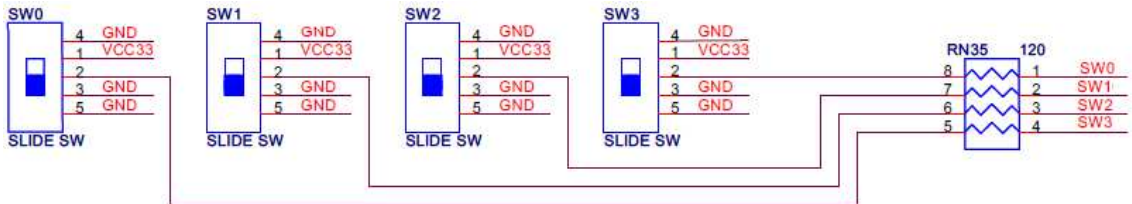
Reset butonu ve kontrol butonları – FPGA bağlantısı:

Reset butonu sayesinde sisteme istenilen herhangi bir anda müdahalede bulunulabilir. Bu buton basıldığında tüm işlemler başlangıç anındaki değerlerine dönmektedir. Sistem üzerinde daha çok GLCD ekranın komple temizlenmesi amacıyla kullanılmaktadır. Devre bağlantısı ve FPGA yongası ile olan bağlantısı Şekil 4.15’te gösterilmektedir.



Şekil 4.15. Reset butonunun devre bağlantısı ve FPGA yongası ile olan bağlantısı

Kontrol butonları ise çok amaçlı olup GLCD panel üzerindeki bir takım kontrolleri gerçekleştirmek maksadıyla kullanılmaktadırlar. Bu kontroller kalemin kalın/ince yazması, kalemin kalın/ince silmesi ve renk seçimi gibi özelliklerin kontrolünü sağlamaktadırlar. Kontrol butonlarının devre bağlantıları Şekil 4.16’da ve FPGA yongası ile olan pin bağlantıları da Çizelge 4.2.’de gösterilmektedir.



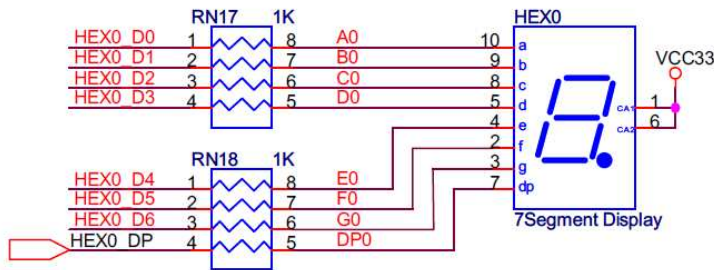
Şekil 4.16. Kontrol butonlarının devre bağlantıları

Çizelge 4.2. Kontrol butonlarının FPGA yongası ile olan pin bağlantıları

SW[0]	PIN_AA23
SW[1]	PIN_AB26
SW[2]	PIN_AB25
SW[3]	PIN_AC27
SW[4]	PIN_AC26

X/Y koordinat göstergeleri – FPGA bağlantısı:

Sistem ana kartı üzerindeki 3 erli gruplar halindeki iki grup 7 parçalı gösterge, LTM panel üzerinde dokunulan noktanın X ve Y koordinatlarını 12 şer (üç adet 7 parçalı gösterge) bit çözünürlüğünde görsel sunumunu gerçekleştirmektedirler. 7 parçadan oluşan her bir segmentin çalışmasını sağlayabilmek için Şekil 4.17’de gösterilen donanımsal bağlantı oluşturulmaktadır.



Şekil 4.17. Bir 7 parçalı göstergenin çalışabilmesi için kurulması gereken donanımsal bağlantı

Gösterge üzerindeki her bir parçanın ışıık verebilmesi için HEX0_D0...DP uçlarının sıfırlanması (active low) gerekmektedir.

Çizelge 4.3. Göstergelerin FPGA yongası pinleri ile olan bağlantıları

HEX0_D[0]	PIN_AE8	HEX2_D[3]	PIN_AG4	HEX4_D[6]	PIN_M2
HEX0_D[1]	PIN_AF9	HEX2_D[4]	PIN_AB18	HEX4_DP	PIN_L6
HEX0_D[2]	PIN_AH9	HEX2_D[5]	PIN_AB19	HEX5_D[0]	PIN_M3
HEX0_D[3]	PIN_AD10	HEX2_D[6]	PIN_AE19	HEX5_D[1]	PIN_L1
HEX0_D[4]	PIN_AF10	HEX2_DP	PIN_AC19	HEX5_D[2]	PIN_L2
HEX0_D[5]	PIN_AD11	HEX3_D[0]	PIN_P6	HEX5_D[3]	PIN_L3
HEX0_D[6]	PIN_AD12	HEX3_D[1]	PIN_P4	HEX5_D[4]	PIN_K1
HEX0_DP	PIN_AF12	HEX3_D[2]	PIN_N10	HEX5_D[5]	PIN_K4
HEX1_D[0]	PIN_AG13	HEX3_D[3]	PIN_N7	HEX5_D[6]	PIN_K5
HEX1_D[1]	PIN_AE16	HEX3_D[4]	PIN_M8	HEX5_DP	PIN_K6
HEX1_D[2]	PIN_AF16	HEX3_D[5]	PIN_M7	HEX6_D[0]	PIN_H6
HEX1_D[3]	PIN_AG16	HEX3_D[6]	PIN_M6	HEX6_D[1]	PIN_H4
HEX1_D[4]	PIN_AE17	HEX3_DP	PIN_M4	HEX6_D[2]	PIN_H7
HEX1_D[5]	PIN_AF17	HEX4_D[0]	PIN_P1	HEX6_D[3]	PIN_H8
HEX1_D[6]	PIN_AD17	HEX4_D[1]	PIN_P2	HEX6_D[4]	PIN_G4
HEX1_DP	PIN_AC17	HEX4_D[2]	PIN_P3	HEX6_D[5]	PIN_F4
HEX2_D[0]	PIN_AE7	HEX4_D[3]	PIN_N2	HEX6_D[6]	PIN_E4
HEX2_D[1]	PIN_AF7	HEX4_D[4]	PIN_N3	HEX6_DP	PIN_K2
HEX2_D[2]	PIN_AH5	HEX4_D[5]	PIN_M1		

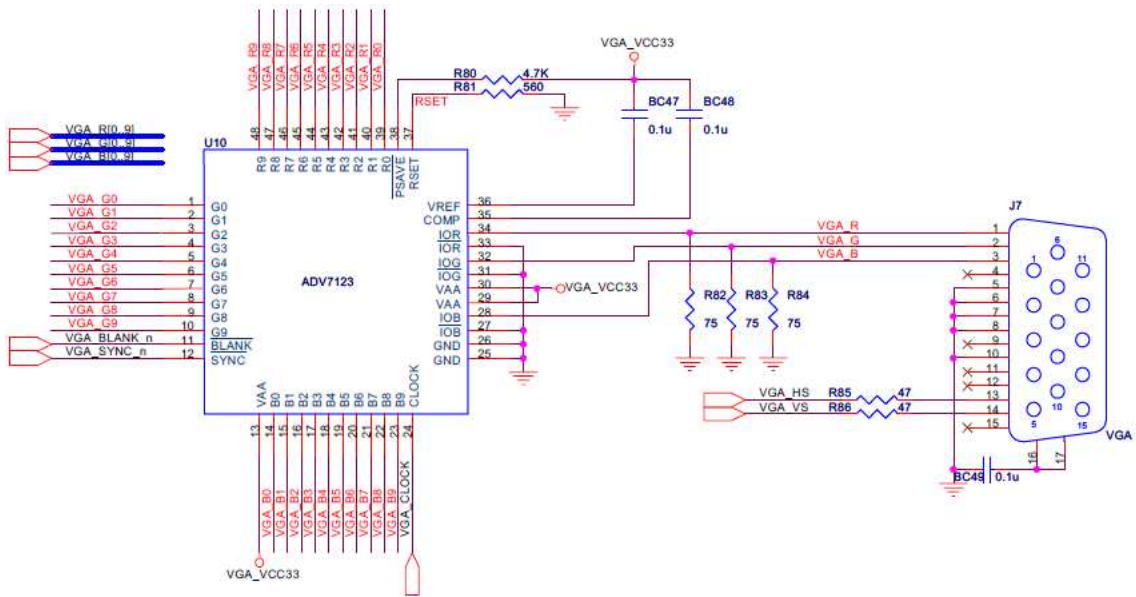
Çizelge 4.3'te 6 adet 7 parçalı göstergenin (segment) her bir parçasını kontrol eden FPGA pinleri ile olan bağlantıları gösterilmektedir.

VGA denetleyici – FPGA bağlantısı:

LTM modül tarafından gönderilen X ve Y koordinat değerleri FPGA yongası tarafından işlendikten sonra VGA denetleyici yongası vasıtasıyla kendisine bağlanmış olan VGA

soketi (15 PIN D-SUB soket) yoluyla herhangi bir bilgisayar monitörüne veya projeksiyon cihazına görüntü olarak gönderilir.

Tasarımda Analog Device firmasının 3x10 bitlik yüksek-hızlı video DAC (Digital to Analog Converter) yongası olan ADV7123 yongası kullanılmıştır. ADV7123 yongasının senkronizasyon sinyalleri FPGA tarafından üretilmektedir. Bu yonga analog RGB (Red, Green, Blue) sinyallerinin üretilmesinde kullanılmaktadır. Yonga çok gelişmiş bir yonga olup 100 Hz'de 1600x1200 piksellik çözünürlüğü desteklemektedir. Yonganın VGA soketi ve FPGA yongası ile olan donanımsal bağlantısı Şekil 4.18'de gösterilmektedir.



Şekil 4.18. ADV7123 yongasının VGA soketi ve FPGA yongası ile olan donanımsal bağlantısı

Ayrıca ADV7123 yongasının FPGA yongası ile olan pin bağlantıları Çizelge 4.4'te gösterilmektedir.

Çizelge 4.4. ADV7123 yongasının FPGA yongası ile olan pin bağlantıları

VGA_R[0]	PIN_D23	VGA_G[9]	PIN_A14
VGA_R[1]	PIN_E23	VGA_B[0]	PIN_B16
VGA_R[2]	PIN_E22	VGA_B[1]	PIN_C16
VGA_R[3]	PIN_D22	VGA_B[2]	PIN_A17
VGA_R[4]	PIN_H21	VGA_B[3]	PIN_B17
VGA_R[5]	PIN_G21	VGA_B[4]	PIN_C18
VGA_R[6]	PIN_H20	VGA_B[5]	PIN_B18
VGA_R[7]	PIN_F20	VGA_B[6]	PIN_B19
VGA_R[8]	PIN_E20	VGA_B[7]	PIN_A19
VGA_R[9]	PIN_G20	VGA_B[8]	PIN_C19
VGA_G[0]	PIN_A10	VGA_B[9]	PIN_D19
VGA_G[1]	PIN_B11	VGA_CLK	PIN_D24
VGA_G[2]	PIN_A11	VGA_BLANK_N	PIN_C15
VGA_G[3]	PIN_C12	VGA_HS	PIN_J19
VGA_G[4]	PIN_B12	VGA_VS	PIN_H19
VGA_G[5]	PIN_A12	VGA_SYNC	PIN_B15
VGA_G[6]	PIN_C13		
VGA_G[7]	PIN_B13		
VGA_G[8]	PIN_B14		

Sistem Saati: Sistem tasarımı dâhilinde ADV7123 yongasının kullanması gereken minimum sistem saati çok önemlidir. Yonganın dokümantasyon kitapçığında minimum gerekli olan sistem saati ile ilgili şu şekilde bir formül sunulmuştur:

$$f_{min} = \text{yatay çözünürlük} \times \text{dikey çözünürlük} \times \text{ekran temizleme frekansı} / 0,8 \text{ iz sürüm faktörü} \quad (4.1)$$

Eş.4.1 göz önünde bulundurularak;

Proje dâhilinde 640 yatay ve 480 dikey çözünürlük ile 60 Hz ekran temizleme özellikleri kullanılmıştır. Bu durumda ADV7123 yongasına gerekli olan minimum sistem saati:

$$f_{min} = 640 \times 480 \times 60 / 0,8 \approx 23 \text{ Mhz}$$

bulunur. Bu durumda 50 Mhz kullanan sistem için sistem saatinin yarı hızının yani 25 Mhz şeklinde ADV7123 yongasına kullanılması uygun görülmektedir.

Referans Voltajı: ADV7123 yongası referans voltajı olarak 1,23V kullanmaktadır. Yonganın iç sistem tasarımın sağladığı kolaylık sayesinde 5V'luk bir sistem voltajına 0,1 uF'lık bir kapasitör üzerinden doğrudan referans voltajı girişine takılması yeterli gelecektir.

Sinyal Çıkışları: ADV7123 yongasından sinyal çıkışları ile ilgili; yonganın RGB çıkışlarına 75 Ω 'luk yük dirençlerinin bağlanması yoluyla kolaylıkla çıkış elde edilebilmektedir.

Yapılandırma belleği EPCS16 – FPGA bağlantısı:

FPGA yongalarını yapılandırmak için farklı bağlantı noktaları ve yaklaşımlar mevcuttur. Aygıtın istenen kipte çalışmasını için farklı yapılandırma kipi bacakları (pinleri)

bulunmaktadır. Farklı üreticilerin kullandığı yöntemlerin isimleri farklı olsa da genel olarak mantıkları aynıdır.

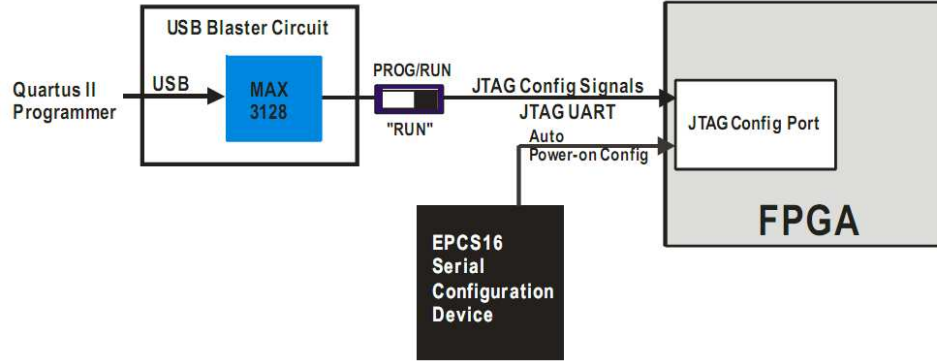
- FPP Yapılandırma (Fast Passive Parallel Configuring)
- PS Yapılandırma (Passive Serial Configuring)
- PPA Yapılandırma (Passive Parallel Asynchronous Configuring)
- JTAG Yapılandırma (Joint Test Action Group Configuring)
- AS Yapılandırma (Active Serial Configuring)

FPP Yapılandırma: Hızlı yapılandırma şeklidir. Her saat çeviriminde 8 bitlik veri aktarımı mevcuttur.

PS Yapılandırma: Harici aygıtlar kullanılarak yapılan yapılandırma şeklidir. Yapılandırma kontrolü bu aygıtlarca gerçekleştirilir. Veri aktarımı her saat çeviriminde bir bittir.

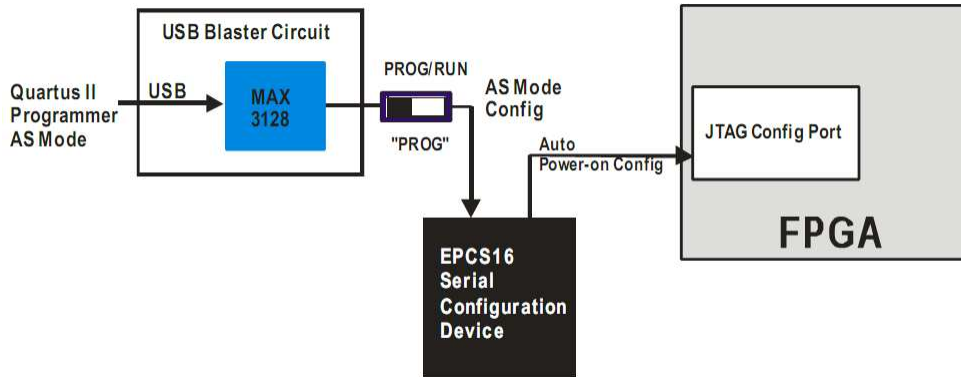
PPA Yapılandırma: Yapılandırma verisinin bellekten mikroişlemci gibi bir sunucu aracılığı ile aktarıldığı yapılandırma şeklidir. Her saat çeviriminde 8 bit veri aktarımı mevcuttur.

JTAG Yapılandırma: Bu programlama metodu IEEE standartları ile ismini almıştır. Bu yapılandırma yöntemi ile yapılandırma bit dalgası doğrudan FPGA yongası içerisine yüklenmektedir. FPGA yongası bu yapılandırma bitlerini karta güç uyguladığı müddetçe tutmaktadır. Güç kesildiğinde yapılandırma biti kaybedilmektedir. FPGA yongasını JTAG kipte yapılandırma için kurulması gereken sistem şeması Şekil 4.19'da verilmektedir.



Şekil 4.19. JTAG yapılandırma şeması (DE2_70 FPGA kart için)

AS Yapılandırma: Bu metotta yapılandırma bit dalgası bir seri EEPROM (msl: Altera EPCS16) yongası içerisine yüklenmektedir. Bu yöntem uçucu olmayan (geçici olmayan) bir yükleme sağlamaktadır. Bu nedenle güç bağlantısı kesilse bile yonga veriyi tutmaktadır. Tekrardan karta güç verildiğinde seri EEPROM içerisindeki yapılandırma verisi otomatik olarak FPGA yongasına yüklenmektedir. FPGA yongasını AS kipte yapılandırma için kurulması gereken sistem şeması Şekil 4.20'de gösterilmektedir.



Şekil 4.20. AS yapılandırma şeması (DE2_70 FPGA kart için)

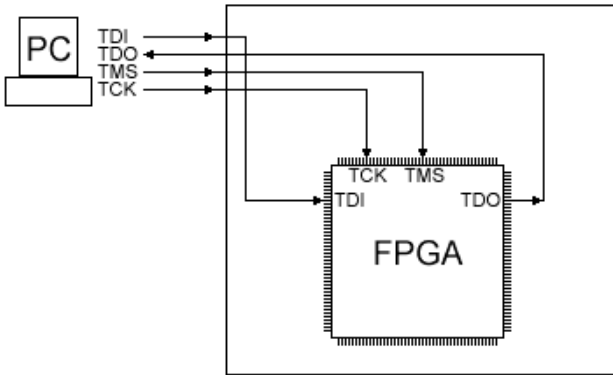
Sistem ana kartı hem JTAG hem de AS yapılandırma kiplerini destekleyecek şekilde tasarımı gerçekleştirilmektedir.

Tasarımda JTAG yapılandırmayı gerçekleştirebilmesi için herhangi bir JTAG programlayıcının FPGA yongası ile bağlantı kurabilmesi için 10 pinli bir soket yardımıyla gerekli yapılandırma pinlerinin bağlantıları oluşturulmuştur. 10 pinli soketin kullanılan 8 pininin bağlantıları Çizelge 4.5’te gösterilmektedir.

Çizelge 4.5. JTAG yapılandırma için gerekli olan 10 pinli soketin pin bağlantısı

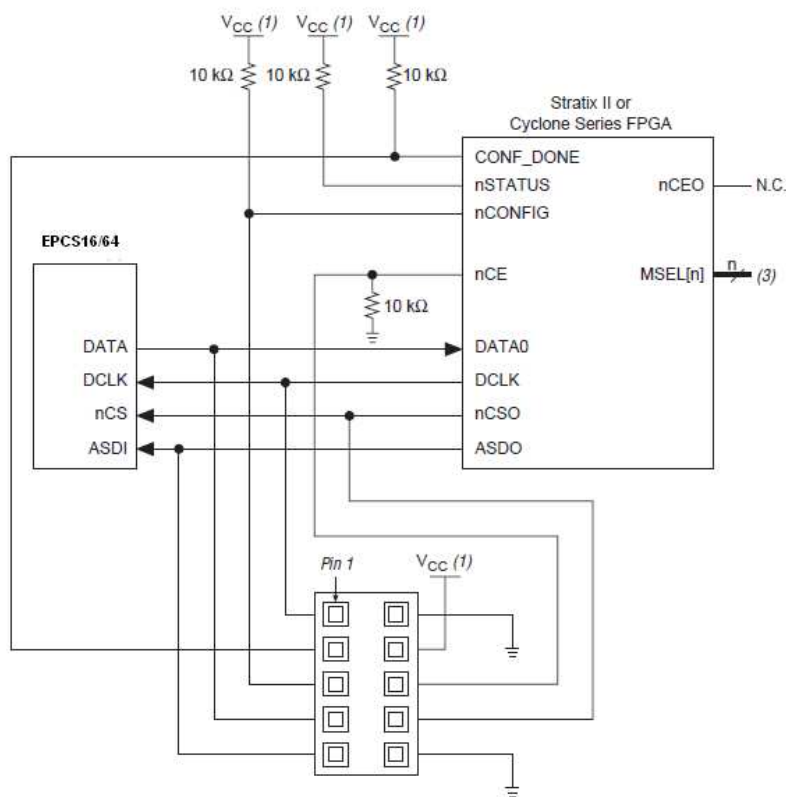
1	TCK	Test Clock
2	GND	Ground
3	TDI	Test Data Input
4	GND	Ground
5	TDO	Test Data Output
6	VCC	Power Supply
7	TMS	Test Mode Select
8	TRS	Test Reset

JTAG yapılandırmayı gerçekleştirecek bir JTAG programlayıcıda 4 esas sinyal bağlantısı bulunduğu Şekil 4.21’de gösterilmektedir. Bu 4 sinyal bir FPGA yongasını yapılandırmak için yeterlidir.



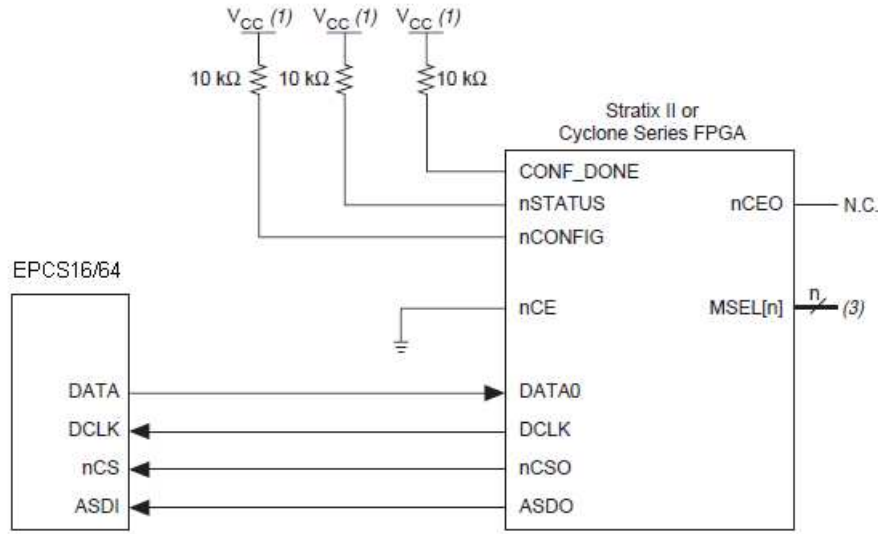
Şekil 4.21. FPGA yapılandırma pinlerinin bağlantıları

Yazım ekranı tasarımı dâhilinde kullanılan Altera firmasının üretmiş olduğu EPSC yapılandırma yongası programlanabilmek için gerekli programlama pinlerini barındırmaktadır. İster bir ICSP programlayıcı (Bkz. Şekil 4.22), ister bir kart-üstü USB programlayıcı isterse de bir Evrensel Programlayıcı sayesinde rahatlıkla programlanabilmektedir.



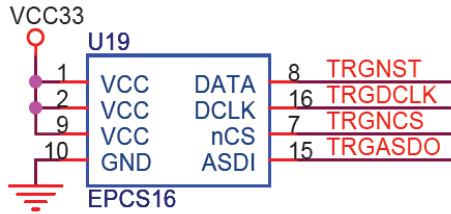
Şekil 4.22. Seri yapılandırma yongası için oluşturulmuş bir ICSP programlama bağlantısı

Sistem ana kartını daha küçük ebatlarda tutmak maksadıyla EPSC yapılandırma yongası bir soketli yapı şeklinde tasarlanmış olup, sadece Evrensel Programlayıcı ile harici olarak programlanıp tekrardan sisteme takılacak şekilde tasarlanması daha uygun görülmektedir. Bu nedenle bu doküman dâhilinde EPSC yongasının programlanması için gerekli olan donanımsal bağlantılardan bahsedilmemektedir.



Şekil 4.23. Bir Universal Programlayıcı ile programlanmış bir yapılandırma yongasının (EPCS16/64) FPGA yongası ile bağlantısı

Programlanmış EPSC yongası FPGA ile olan pin bağlantıları sayesinde hızlıca FPGA yongasını yapılandırabilmektedir. Tasarım dâhilinde yapılandırma yongasının FPGA yongası ile olan pin bağlantıları Şekil 4.24’te gösterilmektedir



Şekil 4.24 EPCS yapılandırma yongası ile FPGA arasındaki bağlantı

Önceden programlanmış EPSC yapılandırma yongasının FPGA yongası ile gerekli dört pin bağlantısının kurulması sistemin çalışması için yeterli gelmektedir. EPSC16/32 yongası hakkında kısaca:

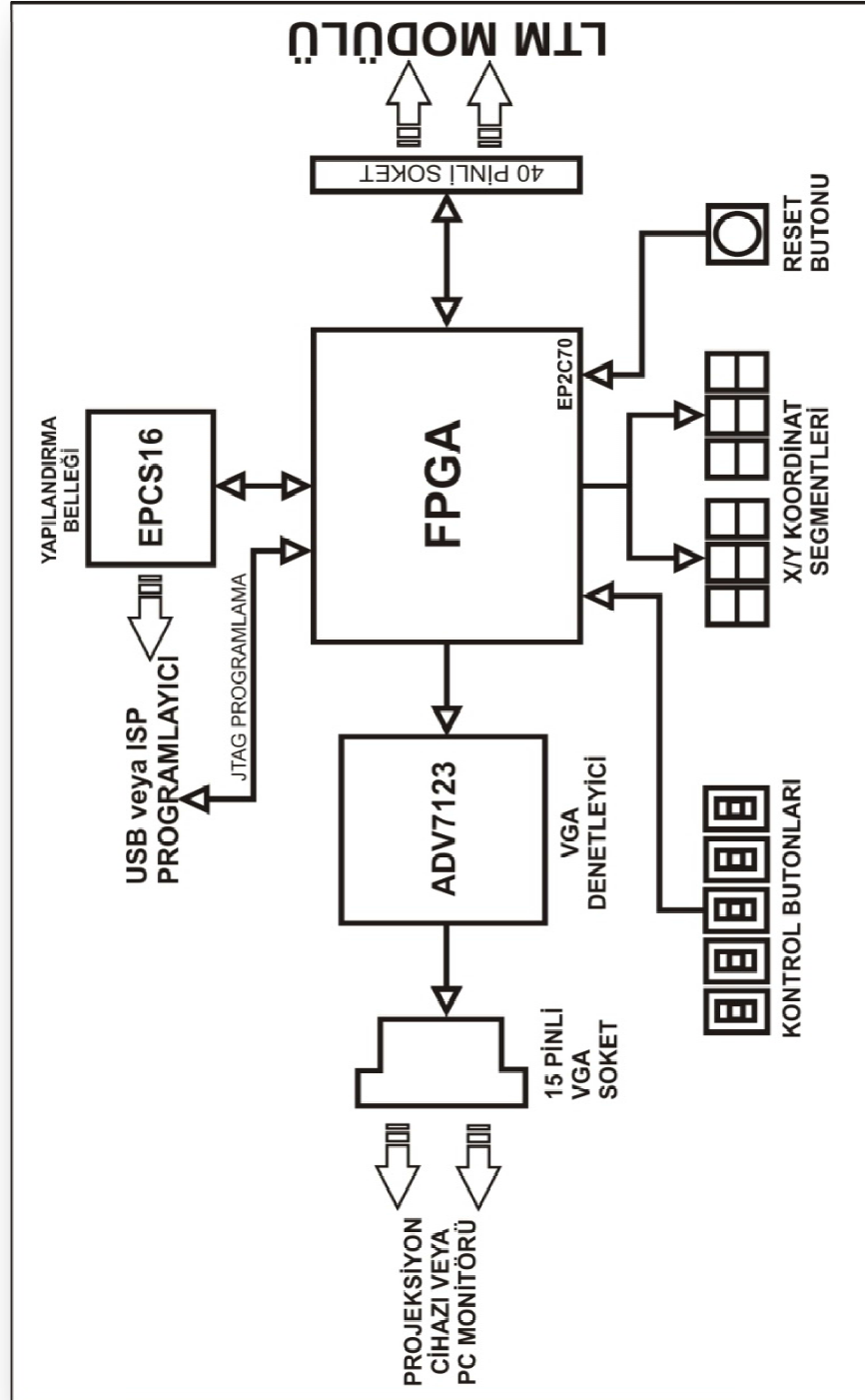
- 16 /32 Mbit’lik uçucu olmayan bir flash belleğe sahiptir
- 16 pinli SOIC yapıda bir sokete sahiptir (çok az yer kaplamakta)
- 100 000 defadan daha fazla yazılıp/silinebilir

bilgilerinin bilinmesi yeterli görülmektedir.

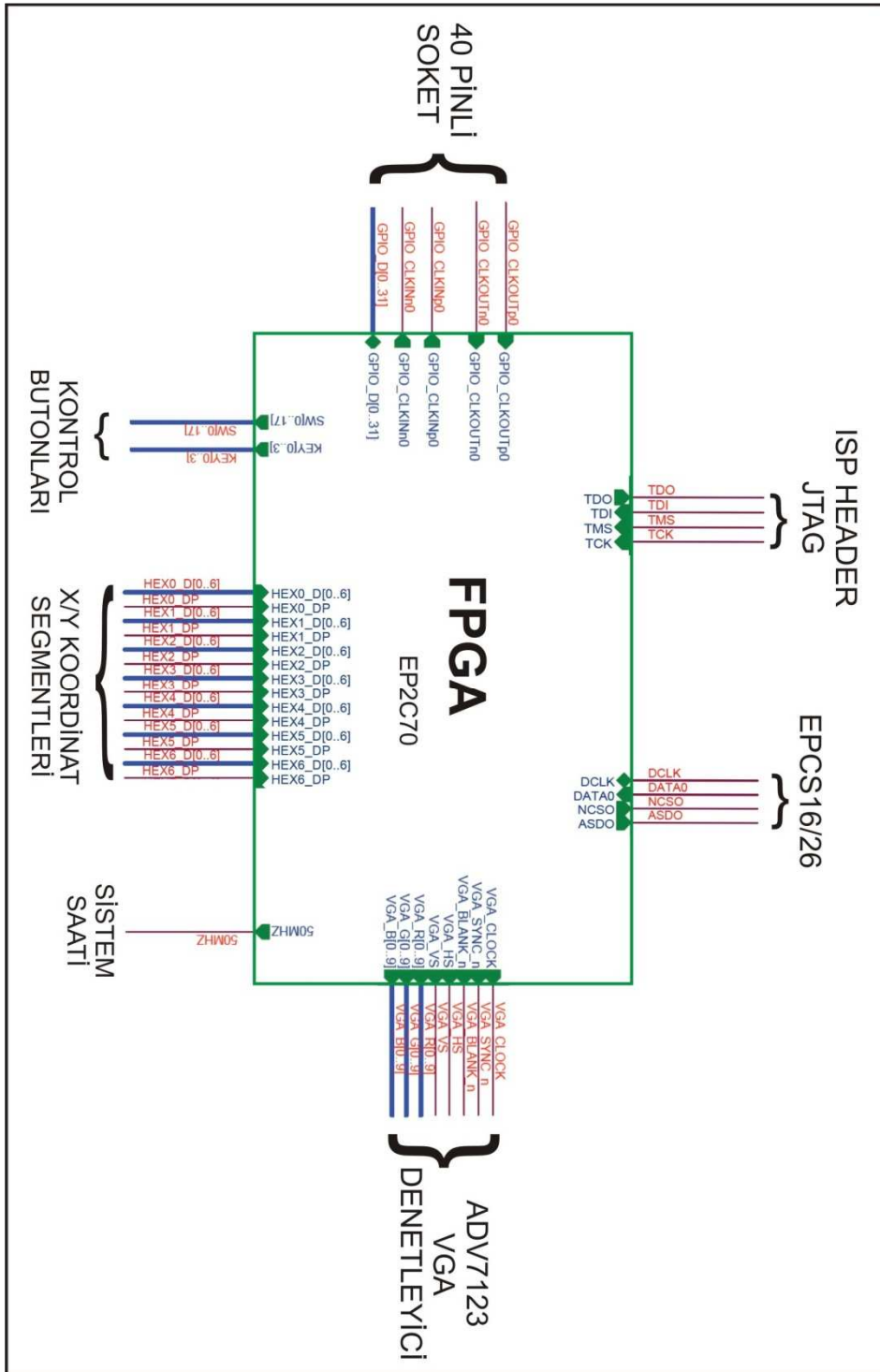
Sistemin çekirdeği niteliğindeki FPGA yongasının çevre birimleri ile olan bağlantısı:

FPGA yongası Şekil 4.25’te de görüldüğü üzere tasarımın çekirdeğini oluşturmaktadır.

Tüm diğer yonga ve soketler FPGA yongası ile bağlantılı olup, kontrolleri FPGA yongası tarafından yapılmaktadır. FPGA yongasının çevresindeki yongaları ve diğer çevre birimleri kontrol etmesi için gerekli olan yapılandırmalar (gerekli modüller) Bölüm 4.2 itibari ile anlatılmaktadır. Ayrıca FPA yongasının tüm pin bağlantıları Şekil 4.26’da gösterilmektedir.

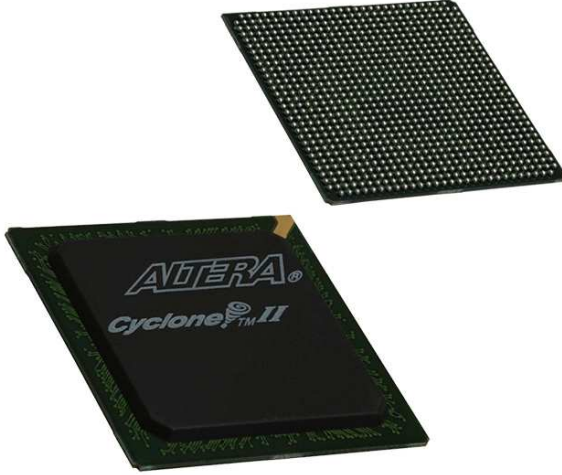


Şekil 4.25. Dokunmatik yazım ekranının tasarım düzeni



Şekil 4.26. FPA yongasının tüm pin bağlantıları (Yonganın kullanılmayan pinleri ve güç pinleri belirtilmemiştir)

Yazım ekranı tasarımı dâhilinde FPGA yongası olarak Altera firmasının Cyclone II yonga ailesinin en gelişmiş yongası olan EP2C70896C6N yongası kullanılmıştır (Bkz. Resim 4.2).



Resim 4.2. Altera Cyclone II yongaları

EP2C70896C6N yongası ile ilgili;

- 90 nm teknolojisi ile üretilmiştir
- 68,416 mantıksal element (LEs) barındırır
- 1.1 Mbit gömülü RAM
- 260 MHz'e kadar çalışabilme
- DDR, DDR2 ve SDR SDRAM gibi yüksek hızdaki harici bellekleri destekleyebilme
- Multi-Volt çoklu giriş/çıkış voltaj desteği (1.5V, 1.8V, 2.5V, 3.3V)
- Hızlı seri yapılandırılabilme sayesinde 100 ms'den kısa bir sürede yapılandırma
- 16 ayrı hassas clock giriş pini
- DSP uygulamaları için 150 adet 18x18 çoklayıcı
- Active serial, Passive serial ve JTAG modda yapılandırmaları desteklemektedir.

- 896 pinli BGA soket kılıflı yapı...

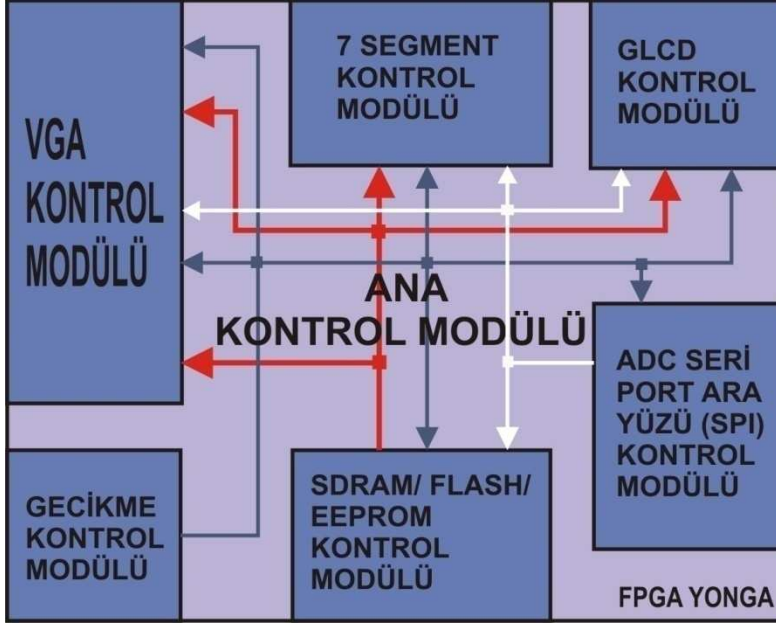
bilgilerinin bilinmesi bu yonganın performans ve kapasitesinin boyutlarını göstermeye yeterli gelmektedir.

4.2 Yazım Ekranının Yazılımsal Tasarımı

Tasarlanan sistem ile ilgili tüm donanımsal bilgi ve bağlantı şemaları hakkında detaylı bilgiler Bölüm 4.1’de ayrıntılı olarak verilmektedir. Bu bölüm itibari ile sistemin çalışmasını sağlayan, yongalar arası veri transfer protokol ve yöntemleri tanımlayan veri akış şemaları ve Verilog donanım tanımlama dili kodları hakkında bilgi verilmektedir.

FPGA yongasının yapılandırma işleminde donanım tanımlama dillerinden olan Verilog donanım tanımlama dili kullanılmıştır. Ayrıca yapılandırma (programlama) işlemini gerçekleştirebilmek için Altera firmasının üretmiş olduğu Quartus II aracı (programı) kullanılmıştır. Verilog dilinde Quartus II aracı vasıtasıyla bir FPGA yongasının nasıl yapılandırılacağı ile ilgili teknik bilgi EK-4’de anlatılmaktadır.

Şekil 4.27’de de görüldüğü üzere FPGA yongası yapılandırılırken 1’i ana kontrol modülü olmak üzere toplamda 7 modülden yararlanılmıştır.



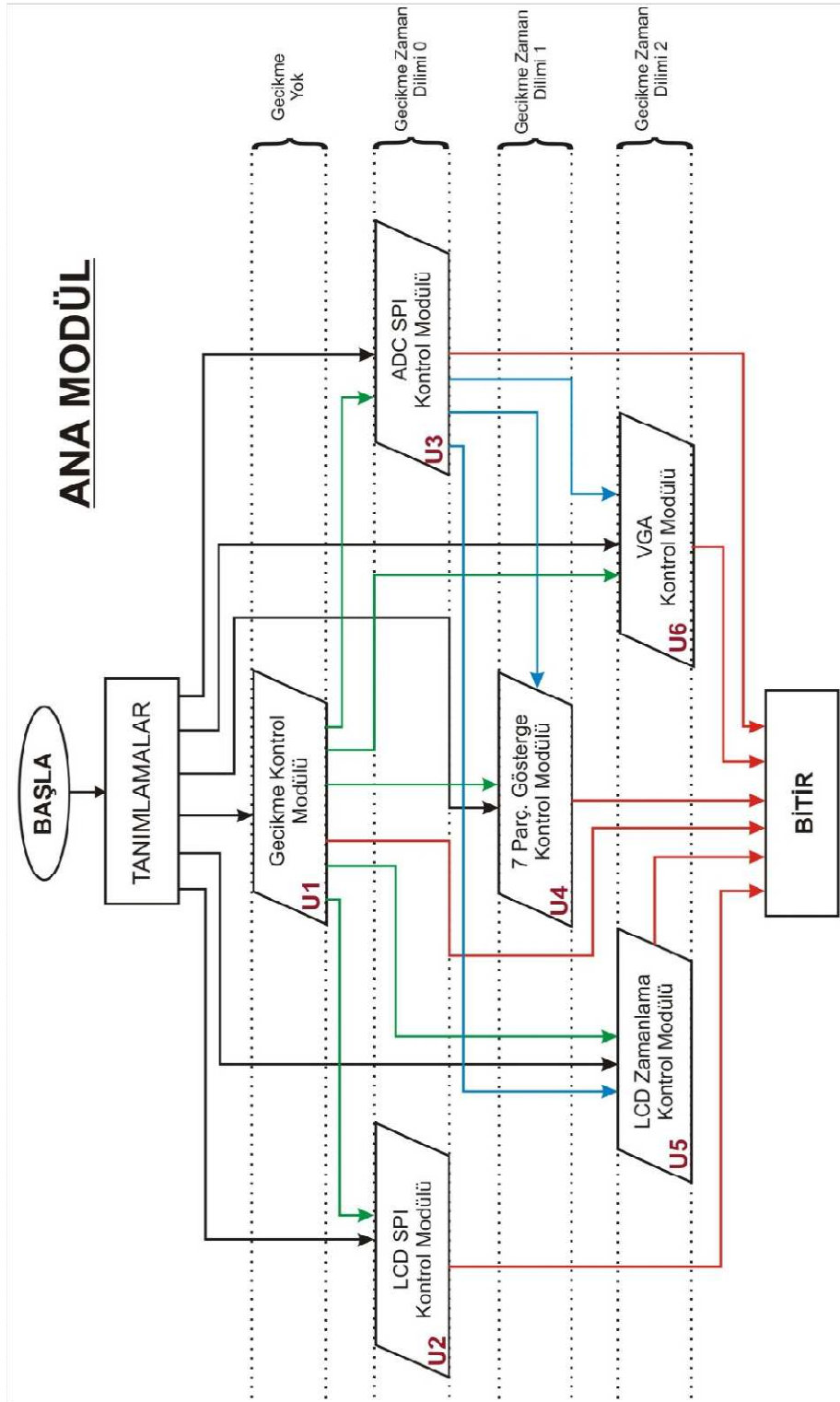
Şekil 4.27. FPGA yongası yapılandırılırken kullanılan modüller

- Ana Kontrol Modülü
- Gecikme Kontrol Modülü
- ADC Seri Port Ara Yüzü (SPI) Kontrol Modülü
- Yedi Parçalı Gösterge Kontrol Modülü
- GLCD Kontrol Modülü
- VGA Kontrol Modülü
- SDRAM/Flash/EEPROM Kontrol Modülü

4.2.1. Ana kontrol modülü

Bu modül projenin esas halini ve şeklini oluşturmaktadır. Yapılandırılan FPGA yongasının ana hatlarını temsil etmektedir. Tüm diğer modülleri kapsamaktadır. Modüller arası bağlantıyı sağlamaktadır. Modüllerin dış dünya ile olan bağlantılarını

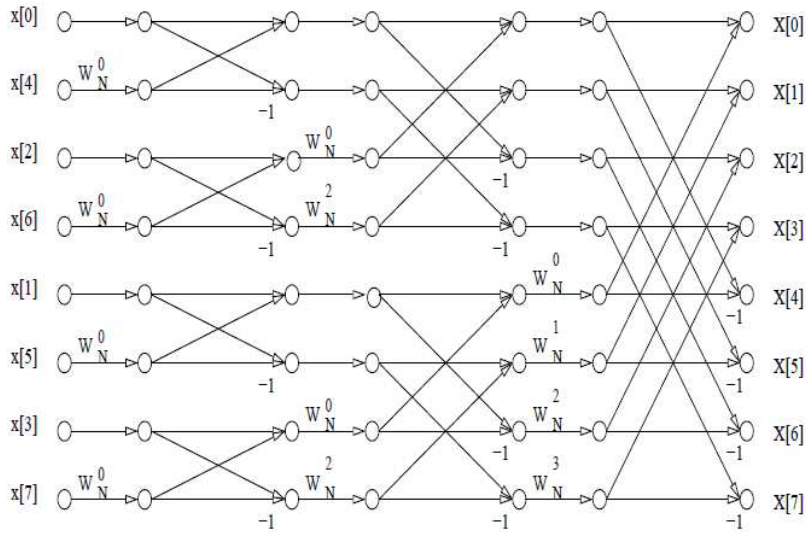
(FPGA yongasının pinleri ile olan bağlantı) sağlamaktadır. Tasarımın kapsamını, sınırlarını ve mahiyetini belirlemektedir. Ana modül içerisindeki yardımcı (alt) modüller ve bunların birbirleri ile olan veri akış düzeni Şekil 4.28’de verilmektedir. Ayrıca ana modülü oluşturan Verilog dilinde hazırlanmış olan kod parçası da EK-2’de sunulmaktadır.



Şekil 4.28. Ana modüldeki alt modüllerin birbirleriyle olan veri akış düzeni

4.2.2. Gecikme kontrol modülü

Gecikme kontrol modülü, ana modül içerisindeki modüllerin belirli bir gecikme süresinden sonra işlenmelerini sağlamaktadır. Bilindiği gibi FPGA yongaları içerisinde paralel yapılandırma söz konusudur [5].



Şekil 4.29. FPGA’de paralel işlem yapabilme (paralel yapılandırma)

Şekil 4.29’da görüldüğü üzere paralel işlem yapabilme özelliğinde; farklı verilere aynı anda çoklu olarak erişilebilir, aynı anda çalışabilecek farklı fonksiyon ve deyimlere (statement) erişilebilir ve aynı anda hem veri hem de fonksiyon ve deyimlere erişilebilir/işleme kolaylığı sağlanmaktadır.

Komple bir proje olarak çalışıldığında modüller arası veri alış verişleri söz konusu olmaktadır. Bir modülün çıktısı diğer bir modülün girdisi olarak kullanılabilir. Bu durumda modülleri farklı zaman dilimleri arasında çalıştırılıp belirli bir düzen dâhiline oturtmak mümkün olmaktadır.

Şekil 4.28’de görüldüğü üzere farklı modüller gerekli görülen farklı zaman dilimleri arasında işlenmektedirler. Aynı zaman dilimi içerisinde birden fazla modülün işlenebiliyor olması önemlidir. Bu durum FPGA yongalarında paralel işlem yapabilme yeteneğinin bir sonucu olarak ortaya çıkmaktadır.

Yazım ekranı tasarımı dahilinde modüller için ne kadarlık zaman dilimlerinin oluşturulması gerektiği hesaplanabilmektedir. Öncelikle en alt basamaktan yani “Gecikme Zaman Dilimi 2” göz önüne alınırsa; bu zaman dilimi dahilinde işlenen 2 modül bulunmaktadır. Bunlar; Lcd zamanlama kontrol modülü ve VGA kontrol modülleridir. Her iki modülde dikkat edilmesi gereken nokta şudur: her iki modülünde insanın görsel duyusuna hitap ediyor olmasıdır. Görüntü işleme veyahut insan anatomisi ile ilgili ayrıntılı bilgiye girilmeyecektir. Fakat bilinmesi gereken şey şudur: İnsan gözü bir film çerçevesi içerisinde saniyede 24 fps (frame per second) adet geçirilmiş film karelerini akışkan bir görüntü olarak algılamaktadır [18]. Bu değer yaklaşık bir eşik değeridir. Bu değer, görüntü netliği çok fazla önemli olmadığı, diğer birtakım işlemlerin daha hızlı daha etkin işlenmesi istenildiği zamanlarda yaklaşık 20 fps değerlerinin biraz altına getirilmesinde sakınca görülmemektedir.

Bu bilgiden yola çıkılarak; tasarlanan sistemin tüm modüllerin başlangıç ve bitiş süreleri göz önüne alınarak en uzun süreli zaman gecikmesine sahip modül referans olarak alınacak şekilde (bu durumda en uzun süreli zaman gecikmesine sahip modüller “Gecikme zaman dilimi 2” de yer alan modüllerdir), saniye başına en az 20 defa tekrarlı olarak başlayıp bitmeleri gerekmektedir. Yani tasarlanan sistemin başlangıç ve bitiş işlemlerinin toplam alabileceği süre $1\text{sn}/20 = 0,05\text{sn}$ olması gerekmektedir. Sistem tasarımında simetrik 3 zaman dilimi oluşturmak için her biri yaklaşık 0.02 sn zaman dilimine sahip 3 zaman dilimi oluşturulmuş olup toplam sistemin başlangıç ve bitiş süresi yaklaşık 0,06 sn olacak şekilde ayarlanmıştır. Sistem saati (f) için 50 Mhz’lik bir kristal kullanan FPGA yongası için bu ayarlamayı gerçekleştirmek maksadıyla:

Sistem devinim süresi (T)'nin hesabı:

$$T = 1/f \quad (4.2)$$

Eş. 4.2'den;

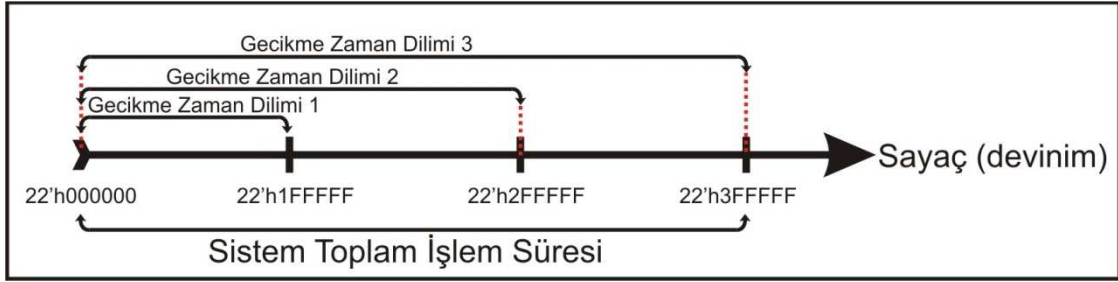
$$T = 1/50 \text{ Mhz} \Rightarrow T = 0,02 \text{ mikro saniye}$$

bulunmaktadır. 0,06 sn süren toplam sistem zamanı için toplamda gerekli olan devinim sayısı ise:

$$0,06 \text{ sn} / 0,02 \text{ mikro saniye} = 3\ 000\ 000 \text{ devimin} \approx (3\text{FFFFFF})_{\text{hex}}$$

bulunur. Yani her bir zaman dili 1FFFFFF sayısı kadar devinim ile gerçekleşir.

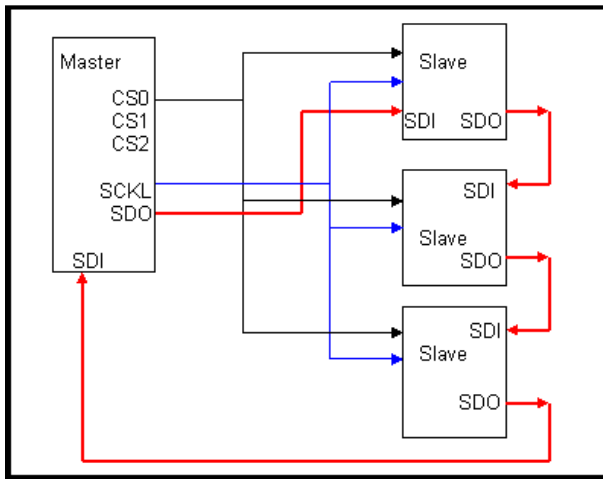
Şekil 4.30'da modüller için gecikme zaman dilimleri gösterilmiştir. Gecikme kontrol modülü vasıtasıyla gerçekleştirilen bu işlemlere ilişkin Verilog dilinde oluşturulmuş kod parçası EK-2'te sunulmaktadır. Ayrıca Verilog donanım tanımlama dilinde kodun oluşturulması için gerekli olan veri akış algoritmasını da EK-1'de sunulmaktadır



Şekil 4.30. Modüllerin gecikme zaman dilimlerinin gösterilmesi

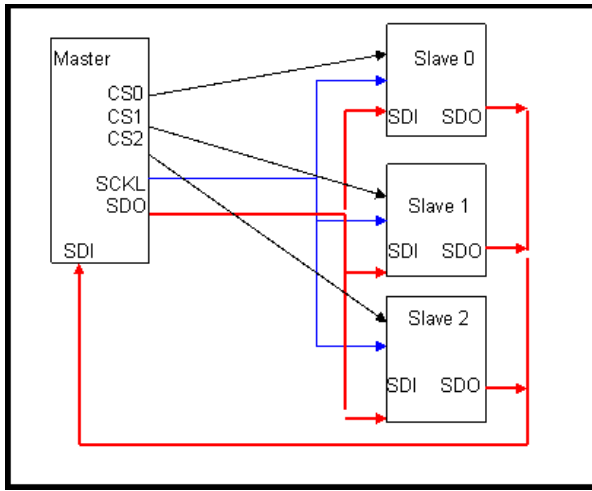
4.2.3. ADC seri port ara yüzü kontrol modülü

Seri Port Ara-yüzü (Serial Port Interface veya Serial Peripheral Interface - SPI) seri olarak haberleşme gerçekleştirmeyi sağlayan bir haberleşme protokolüdür. Esasen bir ana kontrol biriminin (master) yakınındaki aygıt (slave) ile eşzamanlı olarak seri haberleşmesini sağlayan bir protokoldür. Bir ana kontrol birimi üzerinden birden fazla aygıt arasında da SPI haberleşmesi kurulabilmektedir. Ana kontrol birimi çevresindeki aygıtlardan hangisinin çalışacağını CS (chip select – yonga seçici) ve SCLK (clock) sinyalleri vasıtasıyla belirlemektedir.



Şekil 4.31. Kaskad bağlı slavelerin master ile bağlantıları

Birbirlerine bağımlı olan sistemler Şekil 4.31’de görüldüğü üzere bir kaskad sistem kurularak yönetilebilirler. Fakat birbirlerinden bağımsız sistemlerin yönetilebilmeleri için Şekil 4.32’de gösterildiği gibi bir sistemin kullanılması gerekmektedir.

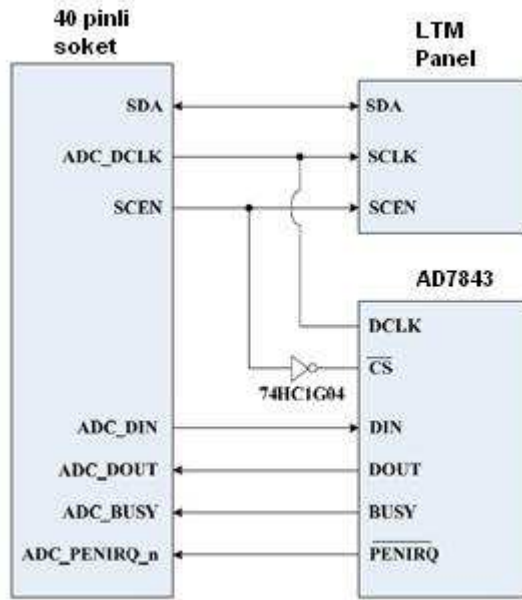


Şekil 4.32 Birbirinden bağımsız slavelerin master ile bağlantıları

SPI haberleşme protokolü iki kontrol (CS, SCLK) ve iki veri (SDO, SDI) hattından oluşmaktadır. Kontrol amaçlı kullanılan CS (chip select) hattı hangi çevresel aygıtın kullanılacağını belirlerken SCLK hattı ise iki yonga arasındaki saati sağlayarak eşzamanlılığı sağlamaktadır. SDO ve SDI hatları ise karşılıklı hem master hem de slave yongalarında yer alır ve anlamlı veri giriş ve çıkışlarının gerçekleştirildiği giriş/çıkış birimleridir.

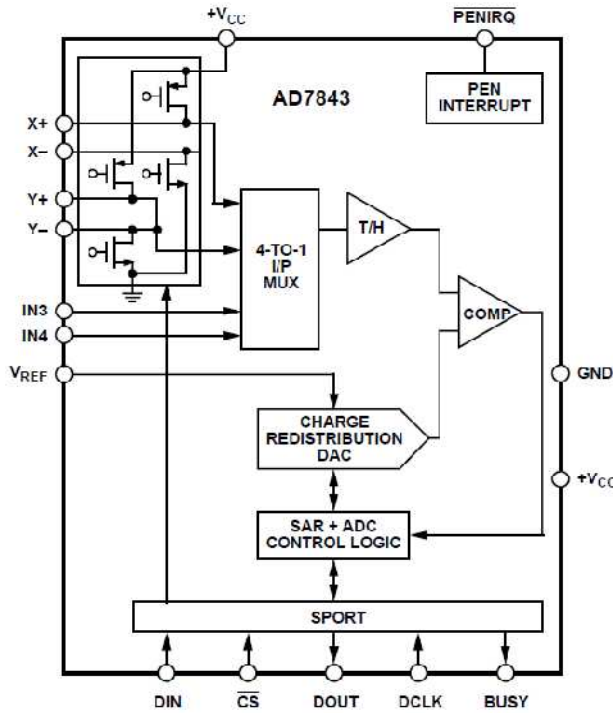
Bölüm 4.1.1’de LTM modülü üzerindeki GLCD kontrol ve ADC yongalarının ortak SPI ara yüzünü kullandıkları belirtilmiştir. Bu durumda Şekil 4.33’te de görüldüğü üzere

FPGA yongası ana kontrol birimi (master), LCD kontrol ve AD7843 ADC yongaları ise çevresel aygıtlar (slave) olarak görev yapmaktadırlar.



Şekil 4.33. Master durumdaki FPGA yongasının (40 pinli soket ile bağlantılı) slave durumundaki LCD kontrol ve ADC yongaları ile bağlantılarının gösterilmesi

8 veya 12 bitte çalışabilen X ve Y koordinat değerlerini belirlenmesinde yardımcı olan AD7843 ADC dönüştürücü yongası için dokunmatik panel ile olan donanımsal bağlantısı Şekil 4.8’de verilmektedir. Ayrıca yonganın içyapısı Şekil 4.3.4’te gösterilmektedir.



Şekil 4.34. AD7843 ADC yongasının içyapısı

Şekil 4.34'göz önüne alınarak; ADC yongasından X ve Y koordinat değerlerinin alınabilmesi için ilk başta ADC yongasından çıkan ADC_PENIRQ_n kesme sinyalinin sağlanması gerekmektedir. Bunun için yonganın ADC_PENIRQ_n çıkışına bir yüksek direnç takılarak normal durum için sürekli yüksek değerde (high) kalması sağlanmaktadır (LTM panel üzerinde bu işlem önceden gerçekleştirilmiştir). ADC yongasına bağlı dokunmatik panelin yüzeyine dokunulduğunda ADC_PENIRQ_n sinyali düşük düzeye (low) geçmektedir. Bu FPGA yongası için kesme sinyali olarak kullanılmaktadır. Bu sayede SPI üzerinden ADC yongasına bir kontrol word'ü (8 bitlik bilgi) yazılmaktadır.

Kontrol word bilgisi ADC'ye DIN pini üzerinden ulaştırılmaktadır. Bu bilgi ADC'nin dönüştürme başlangıcını, kanal adreslemesini, ADC dönüşüm çözünürlüğünü,

yapılandırmasını ve güç kapatma bilgilerini sağlamaktadır. Kontrol word bilgisindeki 8 bitin anlamları şu şekildedir:

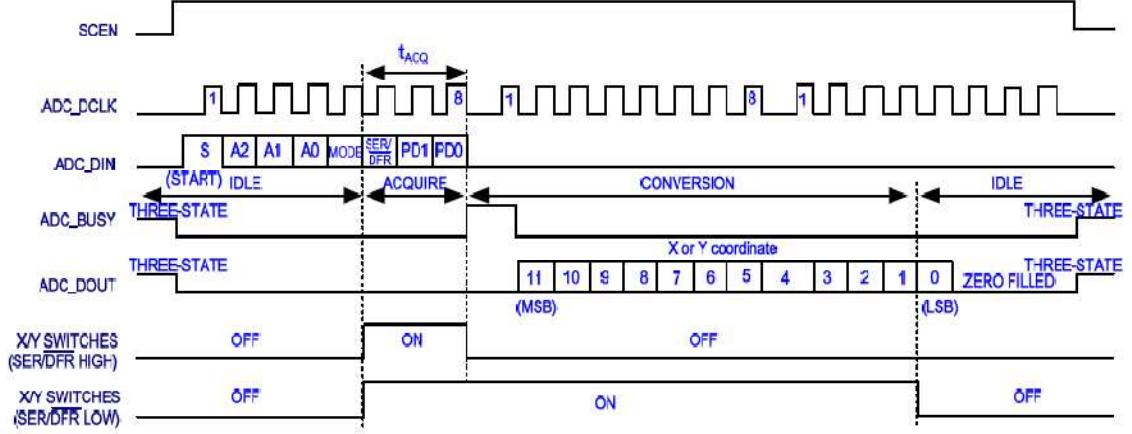
MSB								LSB	
S	A2	A1	A0	MODE	SER/DEF	PD1	PD0		

- 7: S: Başlangıç (start) bit
- 6,5,4: A2,A1,A0: Kanal seçim bitleri
- 3: MODE: 8bit/12bit çözünürlük seçimi
- 2: SER/DEF: Single Ended/Differential referans seçim bit
- 1,0: PD1/PD0: Güç yönetim bitleri

ADC seri port ara yüzü tipik çalışma sistematığı Şekil 4.35’de gösterilmektedir. Şekil 4.35’te görüldüğü üzere bir tam çevrim 24 ADC_DCLK devinimi ile gerçekleştirilmektedir. Tasarımda unutulmaması gereken bir husus ta saat ADC_DCLK sinyali ve yonga etkin (SCEN) sinyalinin hem ADC yongası hem de LCD sürücü yongası için ortak kullanılmasıdır. Bu pinlerden ADC_DLCK pini LCD için SCLK pini ile ADC için ise DCLK pini ile bağlantılıdır (Bkz. Şekil 4.33). Bu pin üzerinden hangi modülün saat sinyalinin akacağı şu mantıksal çözümün atanması ile gerçekleşmektedir:

$$\text{ÇALIŞACAK SİNYAL} = (\text{ADC AND LTM_MEŞGUL}) \text{ OR } (\text{LTM_MEŞGUL_DEĞİL AND LCD})$$

LTM in meşguliyet durumuna göre ADC veya LCD saat sinyali işlenmektedir. Şekil 4.33’te de görüldüğü gibi SCEN pini ise 74HC1G04 tersleyici yongası yardımıyla iki modül için sorunsuz bir şekilde kullanılmaktadırlar.



Şekil 4.35 Seri port ara yüzü zamanlama diyagramı

FPGA yongası ile bağlantısı Bölüm 4.1.1’de gösterilmiş ve anlatılmış olunan ADC yongası için kurulması gereken sinyalizasyon düzeni Şekil 4.35’te gösterilmiştir. Bu sinyallerin üretilmesi için FPGA yongasında oluşturulması gereken Verilog kodu EK-2’de sunulmaktadır. Ayrıca Verilog donanım tanımlama dilinde kodun oluşturulması için gerekli olan veri akış algoritması da EK-1’de sunulmaktadır.

4.2.4. Grafik LCD kontrol modülü

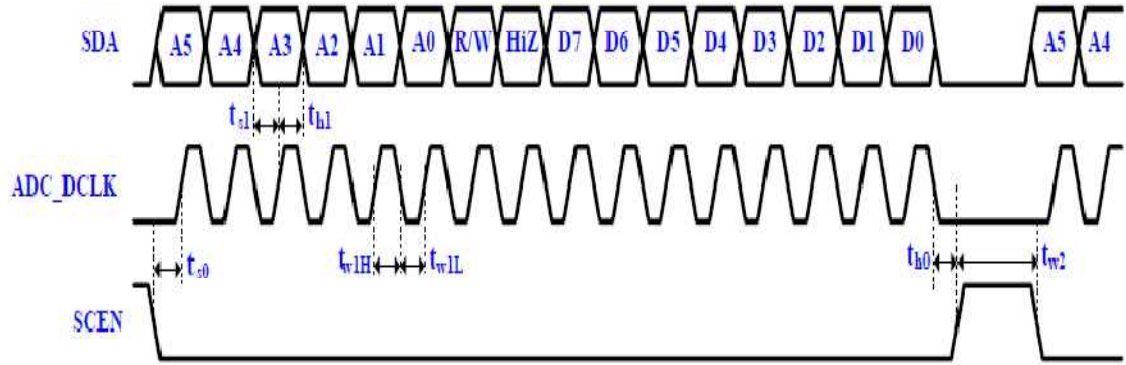
GLCD kontrol modülü, LCD sürücü yonga ile FPGA yongasının kendi aralarında gerekli haberleşme protokolünü kurup veri alış verişini sağlayan modüldür. Bu modül iki modülden meydana gelmektedir. Bunlardan birinci olan “GLCD SPI Kontrol Modülü” LCD sürücü yonga ile FPGA arasındaki gerekli haberleşme protokolünü oluşturarak iki yonga arasında bir ortak dil kurmak maksadıyla oluşturulmuştur. İkinci modül ise “GLCD Zamanlama Modülü”dür. Bu modülün görevi ise GLCD’ye

gönderilecek verinin niteliğini, boyutunu, çözünürlüğünü ve hızını belirlemektir. Her iki modülde gerçekleştirilen işlemlerin ayrıntıları şu şekildedir:

GLCD SPI kontrol modülü:

GLCD ekranı süren yongadaki komutların istenilen şekilde çalışmasını ve istenen verilerin (RGB – Red Green Blue) doğru bir şekilde aktarılması için; ekranı süren yonga ile FPGA arasında eşzamanlı bir seri ara yüz saatine ihtiyaç duyulmaktadır. Bölüm 4.2.3'te Seri Port Ara-yüzü hakkında ayrıntılı bilgiye yer verilmektedir. Aynı bölümde hem ADC SPI modülünün hem de LCD kontrol modülünün ortaklaşa kullandıkları 40 pinli soketteki pinlerden ve kullanım tekniklerinden ayrıntılı olarak bahsedilmektedir.

Şekil 4.36'da SPI üzerinden görüntünün aktarılması için gerekli olan eş zamanlılığın oluşturulması için gerekli olan zamanlama diyagramı ve çerçeve formatı yer almaktadır. LCD'yi süren yonganın çalışabilmesi, gerekli kayıtcı işlemlerini gerçekleştirebilmesi ve SPI ara yüzünün oluşturulabilmesi için 40 pinli soketin NCLK pini üzerinden de 25 Mhz'lik sinyali verilmesi gerekli görülmektedir. LCD sürücü yongası SCEN pini üzerinden düşen kenar (falling edge) sinyali algılsa veri transfer işlemini başlatır. SCL (ADC_CLK) pini üzerindeki yükselen kenar (rising edge) sinyallerinin algılanması ile de SDA pini üzerinden veriler okunur.



Şekil 4.36. Seri port ara yüzünün çerçeve formatı ve zamanlama diyagramı

Şekil 4.36’da gösterilen diyagram doğrultusunda; ilk 6 bit (A5 - A0) adres kayıtçılarını gösterir. Sonraki bit okuma/yazma (read/write) komutunu belirtmektedir. Burada bit değeri 0 ise yazma, 1 ise okuma işlevini belirtmektedir. Sondaki 8 bit (D7 – D0) ise veri bilgisini belirtmektedir. Taşınan veri çerçeve verisi aktarılma işleminden sonra belirtilen adrese yazılır. Çerçevenin transfer işleminin bitiş noktasını da 16 bit uzunluğundaki SCEN sinyali belirlemektedir. Eğer gönderilen veriler 16 bitten daha fazla veya daha az ise veri kabul edilmeyecektir.

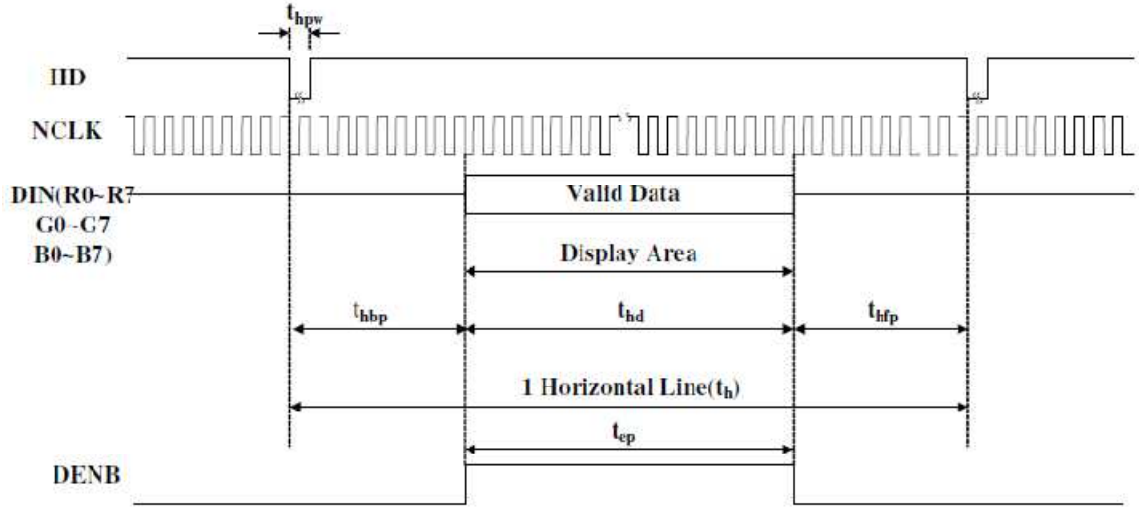
Oluşturulan bu SPI haberleşmesi için gerekli olan zamanlama parametreleri de Çizelge 4.6’da verilmektedir.

Çizelge 4.6. SPI Haberleşmesi için gerekli olan zamanlama parametreleri

Item	Symbol	Conditions	Min.	Max.	Unit
SDA Setup Time	ts0	SCEN to SCL	150		ns
	ts1	SDA to SCL	150		ns
SDA Hold Time	th0	SCEN to SCL	150		ns
	th1	SDA to SCL	150		ns
Pulse Width	tw1L	SCL pulse width	160		ns
	tw1H	SCL pulse width	160		ns
	tw2	SCEN pulse width	1.0		ns
Clock duty			40	60	%

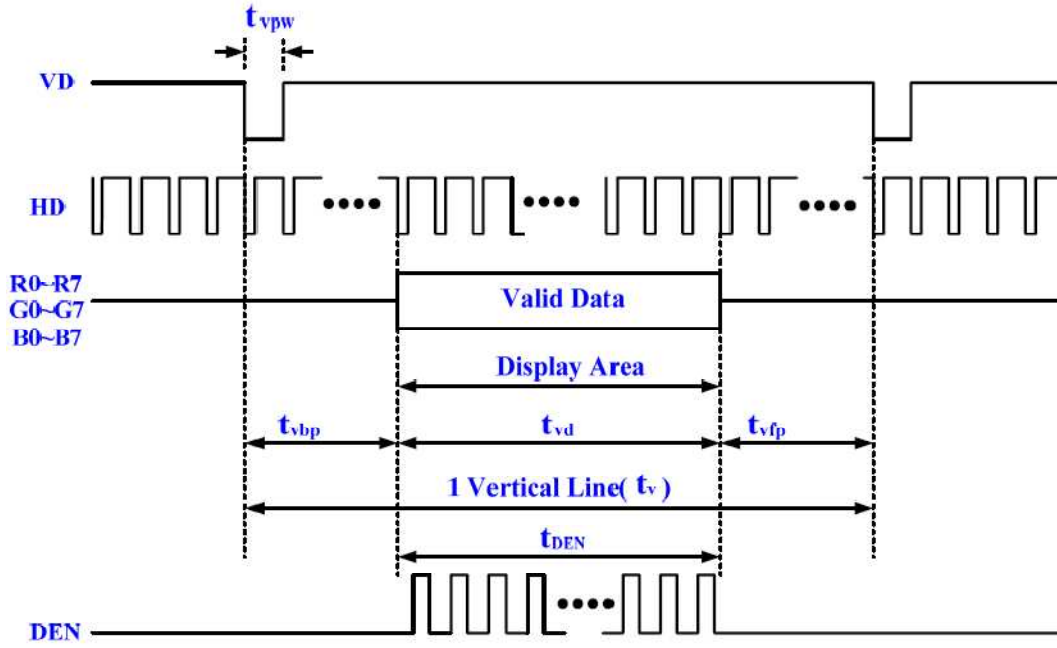
GLCD zamanlama kontrol modülü:

Bir görüntünün grafik LCD üzerinde görüntülenmesi için iki farklı doğrultuda veri senkronizasyonu gereklidir. Bunlardan ilki yatay (horizontal) bölgenin senkronizasyonudur. Yatay düzlemdeki veri senkronizasyonu Şekil 4.37’de gösterilmiştir.



Şekil 4.37. GLCD yatay düzlemdeki veri senkronizasyonu

Şekil 4.37’de görüldüğü üzere, bir aktif düşük düzey tepki (active low pulse – t_{hpw} süresince gerçekleşen tepki) LCD panelin düşey senkronizasyon girişine (HD) uygulanmaktadır. Bu tepki (pulse) bir satırdaki bilginin başlangıç ve bitiş noktasını belirlemektedir. t_{hpw} tepkisi oluştuktan sonra hsync back porch (t_{hbp}) diye adlandırılan bir zaman zarfı boyunca LCD’nin RGB girişlerine verilen veriler geçersizdir. Hemen akabinde ekran alanını (display area) belirleme zamanı (t_{hd}) oluşturulmaktadır. Ekran alanı belirleme zamanı boyunca RGB verisi satır boyunca işlenmektedir. Aynı zamanda ekran alanı belirleme zamanı boyunca Veri Kabul Sinyali (DEN – Data Enable) de aktif yüksek (active high) düzey olarak kalmaktadır. En sonunda da hsync front porch (t_{hfp}) zaman dilimi süresince de RGB sinyalleri tekrardan geçersiz olmaktadır.



Şekil 4.38. GLCD dikey düzlemdeki veri senkronizasyonu

Dikey (Vertical) bölgenin veri senkronizasyonu ise Şekil 4.38’de gösterildiği gibidir. Yatay düzlemdeki işlemlere benzer olarak yatay senkronizasyon sinyali (VD) bir çerçevenin başlangıç ve bitiş aralığını belirtmektedir. Yatay senkronizasyonda RGB sinyalleri veri olarak kullanılmaktaydı. Dikey senkronizasyonda ise yatay senkronizasyon verisi olan satırlar (rows) veri olarak kullanılmaktadır. Diğer zamanlama sinyalleri (t_{vpw} , t_{vbp} , t_{vfp} , t_{vd}) yatay senkronizasyon sinyalleri ile benzer görevler üstlenmektedir.

GLCD’de farklı çözünürlükte görüntüler elde etmek mümkündür. Bu çözünürlükler 800xRGBx400, 480xRGBx270 ve 400xRGBx240’tır. Her bir çözünürlük değeri için gerekli olan parametre değerleri Çizelge 4.7’de gösterildiği gibidir.

Çizelge 4.7. Yatay düzlem için parametre değerleri

Parameter		Symbol	Panel Resolution			Unit
			800xRGBx480	480xRGBx272	400xRGBx240	
NCLK Frequency		FNCLK	33.2	9	8.3	MHz
Horizontal valid data		t _{hd}	800	480	400	NCLK
1 Horizontal Line		t _h	1056	525	528	NCLK
HSYNC Pulse Width	Min.	t _{h_{pw}}	1			NCLK
	Typ.		-			
	Max.		-			
Hsync back porch		t _{h_{bp}}	216	43	108	NCLK
Hsync front porch		t _{h_{fp}}	40	2	20	NCLK
DEN Enable Time		t _{ep}	800	480	400	NCLK

Dikey düzlem için parametre değerleri ise Çizelge 4.8’de gösterildiği gibidir.

Çizelge 4.8. Dikey düzlem için parametre değerleri

Parameter		Symbol	Panel Resolution			Unit
			800xRGBx480	480xRGBx272	400xRGBx240	
Vertical valid data		t _{vd}	480	272	240	H
Vertical period		t _v	525	286	262	H
VSYNC Pulse Width	Min.	t _{vpw}	1			H
	Typ.		-			
	Max.		-			
Vertical back porch		t _{vbp}	35	12	20	H
Vertical front porch		t _{vfp}	10	2	2	H
Vertical blanking		t _{vb}	45	14	22	H
DEN Enable Time		T _{DEN}	480	272	240	H

Aynı zamanda GLCD'nin senkronizasyon sinyallerinin zamanlama parametreleri de Çizelge 4.9'da olduğu gibidir.

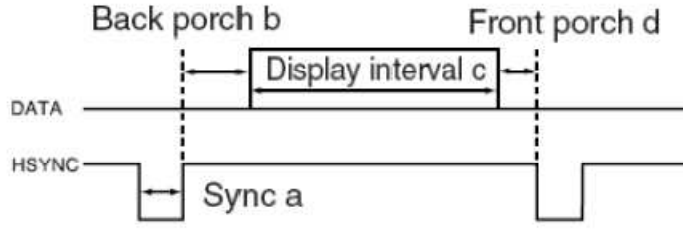
Çizelge 4.9. GLCD'nin senkronizasyon sinyallerinin zamanlama parametreleri

Parameter	Symbol	Min.	Unit
NCLK period	PW_{CLK*1}	25	ns
NCLK pulse high period	PWH_{*1}	10	ns
NCLK pulse low period	PWL_{*1}	10	ns
HD,VD, DEN, data setup time	t_{ds}	5	ns
HD,VD, DEN, data hold time	t_{dh}	5	ns

FPGA yongası ile gerekli parametreler doğrultusunda GLCD'ye görüntü aktarımı için gerekli olan Verilog donanım tanımlama dilinde hazırlanmış program (kod) parçaları EK-2'de sunulmaktadır. Ayrıca program parçalarını oluşturulması için gerekli olan veri akış algoritmaları da EK-1'de sunulmaktadır.

4.2.5. VGA kontrol modülü

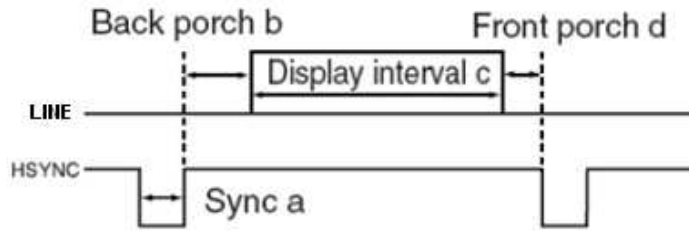
Tıpkı GLCD'de olduğu gibi VGA sinyal senkronizasyonu hem yatay (horizontal) hem de dikey (vertical) düzlemde sinyal senkronizasyonu gerekmektedir. En basit bir VGA sinyal senkronizasyonunda yatay düzlemdeki zamanlama sinyali Şekil 4.39'da olduğu gibidir:



Şekil 4.39. VGA yatay düzlem zamanlama sinyali

Şekil 4.3.9’da görüldüğü üzere yatay düzlem senkronizasyon sinyaline (HSYNC) belirli aralıklar ile a zaman dilimi süresince aktif düşük (active low) sinyal uygulanmaktadır. Bu sinyal monitöre gönderilen bir satır verinin başlangıç ve bitiş zamanını ayrıca bir sonraki satırın başlangıç zamanını belirlemektedir. Hsync sinyali oluşturulduktan sonra back porch (b) diye adlandırılan bir zaman zarfı boyunca RGB sinyalleri off durumda (0V ile sürülmeli) olmalıdırlar. Hemen akabinde ekran aralığı (display interval - c) denen zaman dilimi gerçekleşir. Ekran aralığı zaman diliminde RGB verisi monitör ekranında görülecek şekilde sürülmektedir. En sonunda da bir sonraki hsync sinyali oluşmadan önce front porch (d) zaman dilimi gerçekleşmektedir. Bu zaman dilimi içerisinde tekrardan RGB sinyalleri off duruma dönüştürülmektedirler.

Dikey düzlem zamanlama sinyali de Şekil 4.39’daki benzer bir sinyaldir. Fakat Şekil 4.40’da da görüldüğü gibi veri sinyali olarak yatay düzlemde elde edilen her bir satır kullanılmaktadır.

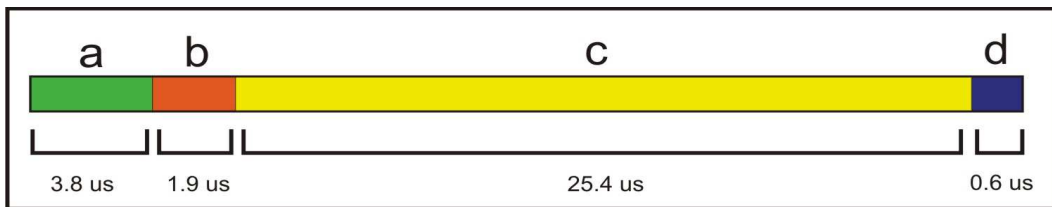


Şekil 4.40. VGA dikey düzlem zamanlama sinyali

60 Hz’de 640x480 piksel çözünürlükte bir monitör sürülmek istenildiğinde şu bilgilere ihtiyaç duyulmaktadır:

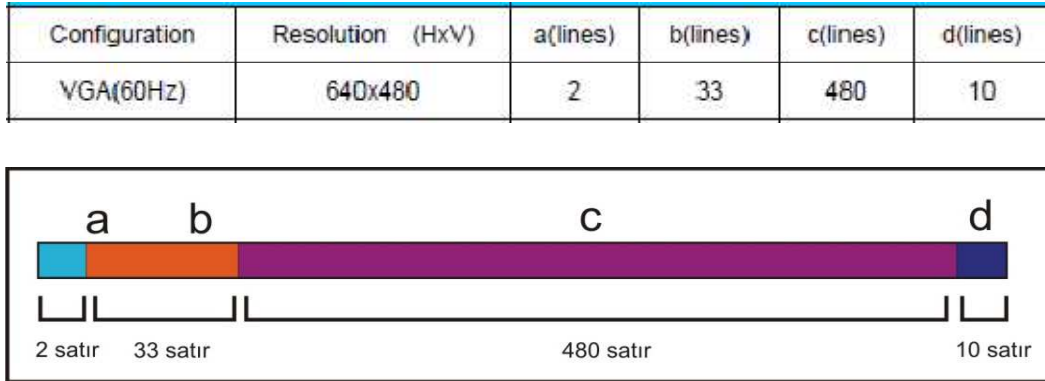
Yatay düzlem senkronizasyon bilgisi Şekil 4.41’deki gibidir.

Configuration	Resolution(HxV)	a(us)	b(us)	c(us)	d(us)	Pixel clock(Mhz)
VGA(60Hz)	640x480	3.8	1.9	25.4	0.6	25 (640/c)



Şekil 4.41. Yatay düzlem senkronizasyon

Dikey düzlem senkronizasyon bilgisi Şekil 4.42’deki gibidir.

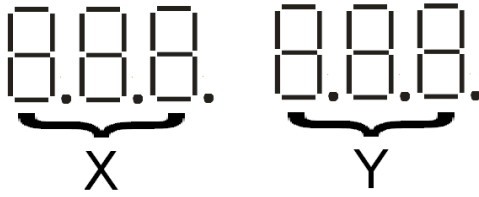


Şekil 4.42. Dikey düzlem senkronizasyon

FPGA yongası ile gerekli parametreler doğrultusunda bir bilgisayar monitörüne veya bir projeksiyon cihazına görüntü aktarımı için gerekli olan Verilog donanım tanımlama dilinde hazırlanmış program (kod) parçası EK-2’de sunulmaktadır. Ayrıca program parçasının oluşturulması için gerekli olan veri akış algoritması da EK-1’de sunulmaktadır.

4.2.6. Yedi parçalı gösterge kontrol modülü

Donanımsal bilgisi, pin bağlantıları ve teknik özellikleri belirtilen 2 grup halindeki 3’erli 7 parçalı gösterge grubunun sistem üzerindeki esas amacı, dokunmatik panel üzerinde dokunulan noktanın X ve Y düzlemlerindeki koordinat bilgilerini görselleştirmektir.



Şekil 4.43. X ve Y koordinat bilgisini gösteren 3'erli gruplar halindeki 6 adet 7 parçalı göstergenin yerleşim düzeni

Şekil 4.43'te gruplamaları gösterilen göstergeler daha çok sistemin çalışırılığını kontrol amaçlı olarak oluşturulmuştur. Gerekli görüldüğünde bu modül ve donanımsal bağlantıları sistemden çıkartılabilir.

7 parçalı 6 adet göstergenin FPGA yongası tarafından gerekli işlemleri yerine getirebilmeleri için gerekli olan Verilog donanım tanımlama dilinde hazırlanmış program (kod) parçası EK-2'te sunulmaktadır. Ayrıca program parçasının oluşturulması için gerekli olan veri akış algoritması da EK-1'de sunulmaktadır.

5. DOKUNMATİK YAZIM EKRANININ KULLANILABİLİRLİK TESTİNİN GERÇEKLEŞTİRİLMESİ

Kullanılabilirlik; temel olarak bir ürünün veya sistemin verimlilik, etkililik ve memnuniyet değişkenleri açısından değerlendirilmesi sonucunda elde edilir [19]. Uluslararası Standardizasyon Kuruluşu (ISO)'nun tanımına göre kullanılabilirlik; etkililik, etkinlik ve memnuniyet kriterleri ile ilişkilendirilmektedir. Etkililik, bir sistemin kullanımıyla belirlenen amaçlara ulaşabilme derecesidir. Etkinlik, bu amaçlara ulaşmak için harcanması gereken kaynakların bir ölçüsüdür. Memnuniyet ise kullanıcının sistemi kabul edilebilir bulma derecesini belirtmektedir [20].

Literatürde tanımlanan kullanılabilirlik değerlendirme yöntemleri üçe ayrılmaktadır: sorgulama, inceleme ve kullanılabilirlik testi [21]. Sorgulama yönteminde çeşitli kontrol listeleri veya anketler yardımıyla kullanıcıların ürün hakkındaki görüşleri alınmaktadır. İnceleme yönteminde ise ürün uzmanlar tarafından incelenmektedir. Kullanılabilirlik testi yönteminde ise kullanıcılar ürünle ilgili gerçek görevleri yerine getirirken gözlemlenmektedir.

1990'da Lewis tarafından ortaya konan, 1992'de Wharton tarafından geliştirilen Cognitive Walk yöntemi [22] tasarım aşamasında yer almayan bir uzman ya da uzman grubunun, kullanıcının sistem üzerinde gerçekleştirmek istemesi muhtemel görevleri belirleyerek, kullanıcının görevi gerçekleştirme esnasında karşılaşılabileceği sorunları ve yanılgıları öngörmesine dayanır. Burada uzmanın yanıt araması gereken sorular şunlardır:

- Kullanıcı görevin ne olduğunu tam olarak anlayabilmek için çaba harcayacak mıdır?
- Kullanıcı, görevi gerçekleştirme için gerekli olan doğru işlemin varlığını fark edebilecek midir?

- Kullanıcı görevle ilişkili olarak yapması gereken doğru işlemi bulabilecek midir?
- Kullanıcı doğru işlemi yaptığında, bunun kendisini görevle ilgili doğru sonuca ulaştırdığını fark edebilecek midir?

Cognitive Walkthrough metodolojisinin işlemesi için önce kullanıcıların ve senaryoların tanımlanması, sonra senaryo aşamalarında kullanıcıların yapması muhtemel eylemlerin belirlenmesi gerekmektedir. Daha sonra uzman, eylem aşamaları üzerinden ilerleyerek kullanıcıların muhtemel yanılğı ve hatalarını tespit etmeye çalışır.

Nielsen’a göre kullanılabilirlik; kullanıcının bir ürün veya sistemle olan etkileşimini etkileyen faktörlerin bir kombinasyonudur [23]. Bu faktörlerin tasarım aşamasında dikkate alınmasıyla daha kullanılabilir sistemlerin tasarlanması mümkün olmaktadır. Söz konusu faktörler şunlardır:

- Kolay öğrenilebilirlik
- Etkin kullanılabilirlik
- Hatırlanabilirlik
- Düşük hata oranı
- Kullanım memnuniyeti

Kullanılabilirlikte amaç, kullanıcıların beklenti ve ihtiyaçlarına uygun bir şekilde ürünleri tasarlamaktır. Üretilen ürünlerin kullanıcıların bilişsel yapısı ve genel kullanım tutumları ile uyumlu olması hedeflenmektedir. Ayrıca kullanılan ürünün etkililiğini, etkinliğini ve memnuniyet derecesini artırmak da diğer bir kullanılabilirlik amacıdır [24].

Öncül çalışmalar, ağırlıkla arayüz yapısı ve enformasyon mimarisi üstünde odaklanmaktadır. Nielsen tarafından ortaya konan “heuristic evaluation” metodu, kullanılabilirlik parametrelerini 10 kural içerisinde özetlemeye çalışmaktadır [25].

“Esneklik ve verimlilik”, “kullanıcı kontrolü ve özgürlüğü”, “devamlılık ve standartlar”, “estetik ve minimalist tasarım”, “hatırlama yerine anlama”, “sistem durumunun görünürlüğü” şeklinde belirlenen 6 kural, kullanıcı arayüz tasarımına ilişkin olarak uyulması gereken kurallardır. Bunlar etkinlik, verimlilik, öğrenilebilirlik ve memnuniyet ölçütlerini temsil etmektedir. “Hata önleme”, “kullanıcıların hataları anlama, tanımlama ve hatalardan kaçınmasına yardım”, “yardım ve dokümantasyon” olarak bildirilen 3 kural ise yardım ölçütüne ilişkindir. Kullanıcının bilişsel yetileri ve sistemin semantik niteliğini ağırlıklı olarak göz önüne alan kural, “sistem ve gerçek dünya arasında uyum” şeklinde belirtilmiştir. Bu kural, sistem ara yüzünde kullanılan terminolojinin sistemin yaptığı işlemlere göre değil, kullanıcının yapmak istediği işlemlere göre belirlenmesi gerektiğini vurgular. Kullanıcı, gerçek dünyadaki deneyimlerinden yola çıkarak, eğitim ve dokümantasyondan minimum düzeyde yararlanmak sureti ile ihtiyaç duyduğu işlemleri seçebilmelidir.

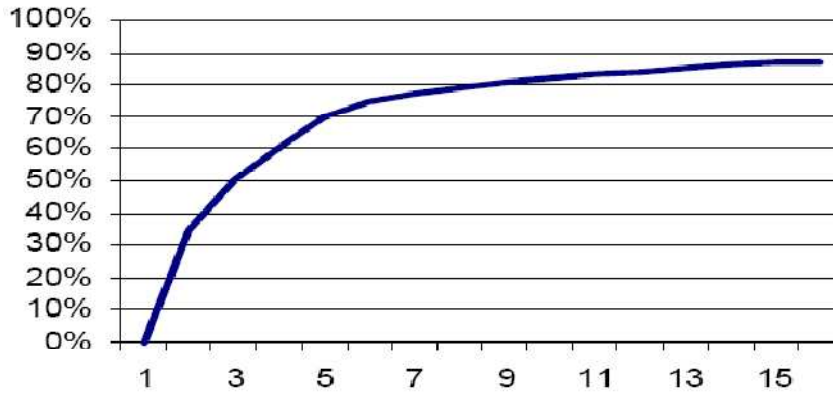
Bu çalışmada ürün olarak ortaya çıkarılmış olan yazım tahtasının en uygun yöntem ve teknikler kullanılarak esas hedef kitlesi olan öğretmenler üzerinde bir kullanılabilirlik testi gerçekleştirilmiştir. Çalışma için en uygun yöntem, materyal ve metot belirlenmiştir. Yazım ekranının kullanılabilirlik değerlendirmesini yapabilmek için kullanıcılara uygun görevlendirmeler oluşturulup, uygun veri toplama araçları vasıtasıyla gerekli veriler toplanıp, analiz edilip değerlendirmeye tabi tutulmuştur.

5.1. Materyal ve Metot

Bu çalışmanın sonucunda ürün olarak ortaya çıkan yazım tahtasının kullanılabilirlik testini gerçekleştirmek üzere yöntem olarak; Heuristik Evaluation metodu kullanılmıştır.

Heuristic Evaluation yöntemi, deneme – yanılma ile öğrenilerek kullanılan sistemlerin kullanılabilirlik değerlendirmeleri için uygulanan bir yöntemdir [25]. Sistem üzerinde ilgili fonksiyonları aktifleştiren butonlara ilişkin isimlendirmenin dışında herhangi bir yardımcı doküman bulunmamaktadır. İlgili sistemin kullanılışı sadece bu yazımsal bilgilendirme ile sınırlıdır. Nielsen’e göre, bu tip sistemleri test etmek için 5 adet katılımcı yeterli olabilmekte, bu katılımcılar mevcut hataları %75 oranında saptayabilmektedir [26]. Denek sayısı yükseldiğinde tespit edilen hataların sayısı dikkat çekici bir artış göstermemektedir. Şekil 5.1’deki grafikte, Nielsen ve Landauer tarafından 1990-1993 arasında yapılan kullanılabilirlik testlerinde yer alan denek sayılarına göre hata tespit oranları görülebilir [26].

Bu kabul edişin ötesinde, Faulkner [27] tarafından gerçekleştirilen çalışma, 5 kullanıcının yeterli olmayabileceğini göstermektedir. 60 kişilik bir grupta yaptığı çalışmada, gruptan 5’er kişilik kümeler ayırarak oluşturduğu alt grupların ortalama hata tespit oranları grubun tamamının tespit ettiklerinin %85’idir. Ancak uygulanan test simülasyonları çoğaldıkça, 5 kişilik kümelerin tespit edebildiği kullanılabilirlik sorunlarının, grubun tümünün tespit ettikleri sorunların %100 ila %55’i arasında değişim gösterdiği saptanmıştır.



Şekil.5.1. Denek sayılarına göre hata tespit oranı [26]

Bu aşırı sapma, herhangi bir çalışmada 5 kişilik bir kullanıcı grubunun tercihi durumunda, hataların yarıya yakınının kaçırılması riskini taşımaktadır. Ancak kullanıcı kümeleri 10’ar kişilik gruplar olarak kabul edildiğinde, tespit ettikleri kullanılabilirlik probleminin tüm gruba oranı ortalamada %95’e, alt sınır olarak da %82’ye yükselmektedir. Çizelge 5.1.’de standart sapmadaki değişim incelenebilir:

Çizelge 5.1. Kullanılabilirlik problemlerinin sayısının tüm gruba oranı ve standart sapma miktarları

Kullanıcı Sayısı	Bulunan Minimum %	Bulunan Ortalama %	St. Sapma
5	55	85.55	9.2957
10	82	94.686	3.2187
15	90	97.05	2.1207
20	95	98.4	1.6080
30	97	99	0.11343
40	98	99.6	0.8141
50	98	100	0.0000

Buna göre, çalışmadaki 10 kişilik kullanıcı grubunun kullanılabilirlik problemlerinin tespitinde yeterli olduğu ortaya çıkmaktadır.

5.2. Evren ve Örneklem

Bu çalışmanın evrenini Bitlis İlinde bulunan Resmi Okul ve Özel Dershanelere bağlı ilköğretim ve lise derslerine giren branş farkı gözetilmeksizin tüm branşlardaki öğretmenler oluşturmaktadır.

Çalışmanın örneklemini ise 2009 – 2010 eğitim öğretim yılında Bitlis İlinde bulunan Resmi Okul ve Özel Dershanelere bağlı rastgele ve isteğe bağlı olarak seçilen farklı branştaki 20 öğretmen oluşturmaktadır.

5.3. Verilerin Toplanması

Araştırmada kullanılan veri toplama araçları hakkında bilgi bu bölümde sunulmaktadır.

5.3.1 Anketler

Konuyla ilgili bilgilerin özgün yazılı sorular yoluyla ve bir mülakatçı aracılığıyla kişilerden elde edilmesi esasına dayalı bir veri toplama biçimidir [28]. Çalışmada kullanılan anketler ve bu anketlerden elde edilen sonuçlar şu şekildedir:

İhtiyaç analizi anket formu

Bu anket vasıtasıyla, yazım ekranını kullanacak öğretmenlerin ilgili alanda ihtiyaç duydukları ve işlerini kolaylaştırabilecek sistem, yöntem ve araçların neler olduğu var olan araçların ne şekilde geliştirilip ihtiyacı karşılar niteliğe kavuşturulabileceği, ayrıca tasarlanmış olunan yazım ekranından neler beklediklerini belirlemeye yönelik oluşturulmuş birtakım sorulardan oluşmaktadır. Anket toplamda 12 adet sorudan oluşmuş ve Ek-3.2’de sunulmaktadır.

Katılımcı ön bilgi formu

İlgili formda kullanılabilirlik testine katılacak olan öğretmenler hakkında; yaş, branş, ders verdikleri eğitim kademesi ve öğretmenlik deneyimleri gibi bilgileri toplamak amacıyla oluşturulmuş 5 adet soru yöneltilmiştir. Bu form Ek-3.1’de sunulmuştur.

Memnuniyet anket formu

Kullanılabilirlik, Uluslar arası Standardizasyon Kuruluşu (ISO)’ nun tanımına göre etkililik, etkinlik ve memnuniyet kriterleri ile ilişkilendirilmektedir. Etkililik bir sistemin belirlenen amaçlara ulaşmada kullanımın sağladığı kolaylıktır. Etkinlik ise bu amaçlara ulaşmak için harcanan kaynakların bir ölçüsüdür. Memnuniyet ise kullanıcının sistemi kabul edilebilir bulma derecesidir [20].

Bu çalışmada, literatürde benzer çalışmaların sıklıkla bulunamamasından dolayı tasarlanan yazım ekranının kullanılabilirliğinin ölçülmesi amacıyla oluşturulan memnuniyet anket formu uzman görüşü alınarak araştırmacının kendisi tarafından geliştirilmiştir. Memnuniyet anket formu oluşturulurken literatürde var olan özellikle web sitesi kullanılabilirlik anket formları incelenmiştir. Bu incelemelerin sonucunda 35 maddeden oluşmuş bir liste oluşturulmuştur. Oluşturulan bu liste uzman görüşüne sunulmuştur. Uzman görüşleri doğrultusunda tasarlanmış sistemin işe yararlılık, kullanım kolaylığı ve kullanılabilirlik faktörlerini belirleyen 15 maddeden oluşmuş bir memnuniyet değerlendirme anket formu oluşturulmuştur. İlk 5 madde sistemin işe yararlılığını belirlemeye ilişkin, sonraki 5 madde sistemin kullanım kolaylığını belirlemeye ilişkin ve son 5 madde ise sistemin kullanılabilirliğini belirlemeye ilişkin sorulmuş sorulardır. İlgili soruların değerlendirilmesinde “katılıyorum (Evet), kısmen katılıyorum (Kısmen), katılmıyorum (Hayır)” şeklinde bir yanıtlama sistemi kullanılmıştır. İlgili anket soruları Ek-3.4’te sunulmuştur.

5.3.2. Kullanılabilirlik testi

Kullanılabilirlik temel olarak bir ürünün veya sistemin verimlilik, etkililik ve memnuniyet değişkenleri açısından değerlendirilmesi sonucunda elde edilir [19]. Katılımcı beklentilerinin ne düzeyde karşılandığının belirlenebilmesi için kullanıcıların ürün veya sistemle etkileşimleri sonucunda ortaya çıkan performansları gözlenir, gerekli araçlarla birçok çeşit bilgi toplanır ve işlenir ardında değerlendirme gerçekleştirilir.

Tasarlanan yazım ekranının kullanılabilirlik testini gerçekleştirebilmek için kullanıcılara bir görev dizisi oluşturulmuştur. Kullanıcılardan bu görevleri gerçekleştirmeleri istenmiştir. Katılımcılar kendilerine verilen görevleri gerçekleştirirken bir gözetmen yardımıyla kullanıcıların her görev için harcamış oldukları süreleri bir kronometre ile kayda alınmıştır. Ayrıca gözetmen tarafından kullanıcıların sistemi kullanırken sunmuş oldukları önerilerde kayda alınmıştır.

5.3.3. Gözlemler

Bir nesnenin, olayın veya bir gerçeğin, niteliklerinin bilinmesi amacıyla, dikkatli ve planlı olarak ele alınıp incelenmesidir [29]. Bu çalışmada katılımcıların kullanılabilirlik testinde kendisine verilen görevleri yerine getirirken harcamış oldukları zaman bir dijital saat yardımıyla kayda alınmıştır. Ayrıca katılımcılar verilen görevleri gerçekleştirirken sözlü olarak belirtmiş önermiş oldukları öneriler ve sıkıntılar bir not defterine kaydedilmiştir.

6. BULGULAR VE YORUMLAR

Bu bölümde katılımcılar üzerinde gerçekleştirilen; ihtiyaç analizi anketi ve katılımcı ön bilgi formu yardımıyla toplanan verilerin işlenmesi ve yorumlanması işlemleri gerçekleştirilmektedir. Ayrıca katılımcılar üzerinde gerçekleştirilen kullanılabilirlik testi süresince katılımcılara sunulan görevlerin gerçekleştirilebilme sürelerinin yorumlanması ve kullanılabilirlik testi sonrasında sunulan memnuniyet değerlendirme anket formunun analizi ve değerlendirmesi gerçekleştirilmektedir.

6.1. İhtiyaç Analizi Anket Formundan Elde Edilen Bulgular

Aşağıdaki çizelgelerde anket dahilinde sorulmuş sorulara ilişkin elde edilmiş sonuçlar bulunmaktadır:

Çizelge 6.1. “Bilgisayar kullanır mısınız?” sorusuna alınan cevaplar

	Katılımcı Sayısı (f)	%	Seçeneği İşaretleyen Katılımcılar
Evet	20	100	K1,K2,...K20
Hayır	0	0	-
Toplam	20	100	K1,K2,...K20

Çizelge 6.1’den anlaşılabacağı gibi ankete katılan tüm öğretmenlerin bilgisayar kullanıcısı oldukları görülmektedir (K1, K2...K20 = Katılımcılar).

Çizelge 6.2 incelendiğinde ankete katılan 20 öğretmenin 4 (%20) tanesi bilgisayarı eğlence amaçlı, 4 (%20) tanesi haberleşme amaçlı, 9 (%45) tanesi eğitim amaçlı ve 3 (%15) tanesi de yazışma amaçlı kullanmakta olduğu görülmektedir. Katılımcı öğretmenlerin büyük kısmının bilgisayarı eğitim amaçlı kullandığı yorumu yapılabilir.

Çizelge 6.2. “Bilgisayarı daha çok hangi amaçla kullanıyorsunuz?” sorusuna alınan cevaplar

	Katılımcı Sayısı (f)	%	Seçeneği İşaretleyen Katılımcılar
Eğlence amaçlı	4	20	K7,K11,K17,K20
Haberleşme amaçlı	4	20	K4,K5,K12,K16
Eğitim amaçlı	9	45	K1,K3,K8,K9,K13,K14,K15,K18,K19
Yazışma amaçlı	3	15	K2,K6,K10
Toplam	20	100	K1,K2,...K20

Çizelge 6.3. “Teknolojiyi sever misiniz?” sorusuna alınan cevaplar

	Katılımcı Sayısı (f)	%	Seçeneği İşaretleyen Katılımcılar
Evet	17	85	K1,K2,K3,K5,K6,K7,K8,K9,K10,K12,K13,K14,K15, K16,K17,K18,K20
Hayır	3	15	K4,K11,K19
Toplam	20	100	K1,K2,...K20

Çizelge 6.3 incelendiğinde ankete katılan öğretmenlerden 3 (%15) tanesi teknolojiyi sevmedikleri buna karşın 17 (%85) tanesi ise teknoloji sevdikler görülmektedir. Büyük bir çoğunluk ile katılımcıların teknolojiyi sevdikleri yorumu yapılabilir.

Çizelge 6.4. “Ders anlatırken aşağıdaki tekniklerden hangisini daha kolay ve kullanışlı buluyorsunuz?” sorusuna alınan cevaplar

	Katılımcı Sayısı (f)	%	Seçeneği İşaretleyen Katılımcılar
Projek. cihazlı	15	75	K1,K2,K5,K6,K7,K8,K9,K10,K12,K13,K14,K15 K16,K18,K20
Tepegözlü	0	0	-
Karatahtalı	5	25	K3,K4,K11,K17,K19
Toplam	20	100	K1,K2,...K20

Çizelge 6.4 incelendiğinde öğretmenlerden 15 (%75) tanesi projeksiyon cihazı ile ders anlatmanın kolay ve kullanışlı olduğunu belirtmekte, bununla birlikte hiçbir öğretmen tepegöz ile ders anlatmanın kolay ve kullanışlı olduğunu düşünmezken sadece 5 (%25) öğretmen kara tahta ile ders anlatmanın kolay ve kullanışlı olduğunu düşünmektedir.

Çizelge 6.5. “Projeksiyon cihazı ile kullanılan bilgisayarın ekranının dokunmatik olması ve bir yazı tahtası gibi kullanılabilir olması bir avantaj sağlar mı?” sorusuna alınan cevaplar

	Katılımcı Sayısı (f)	%	Seçeneği İşaretleyen Katılımcılar
Evet	20	100	K1,K2,...K20
Hayır	0	0	-
Toplam	20	100	K1,K2,...K20

Çizelge 6.5’e göre projeksiyon cihazı ile kullanılan bilgisayarın ekranının dokunmatik olması ve bir yazı tahtası gibi kullanılabilir olmasını tüm öğretmenler tarafından bir avantaj olarak görülmektedir. Ayrıca bu çizelgeden öğretmenlerin ders anlatma tekniklerinde yeni teknik ve yöntemlere açık oldukları yorumu yapılabilir.

Çizelge 6.6. “Tepegöz sisteminin daha küçük olması bir avantaj sağlar mı?” sorusuna alınan cevaplar

	Katılımcı Sayısı (f)	%	Seçeneği İşaretleyen Katılımcılar
Evet	18	90	-diğerleri-
Hayır	2	10	K7,K13
Toplam	20	100	K1,K2,...K20

Çizelge 6.6’ya göre öğretmenlerden 18 (%90) tanesi tepegöz sisteminin daha küçük olmasını bir avantaj olarak görürken sadece 2 (%10) tanesi bu durumun bir avantaj olmadığını düşünmektedir.

Çizelge 6.7. “Hasta olduğunuzda veya kendinizi halsiz hissettiğinizde yazı tahtasına yazmanız gereken yazıları masanızda oturduğunuz yerden bir sistem yardımıyla yaza bilmek ister miydiniz?”

	Katılımcı Sayısı (f)	%	Seçeneği İşaretleyen Katılımcılar
Evet	19	95	-diğerleri-
Hayır	1	5	K10
Toplam	20	100	K1,K2,...K20

Çizelge 6.7’ye göre öğretmenlerden 19 (%95) tanesi hastalık durumlarında yazı tahtasına yazmaları gereken yazıları oturdukları yerden bir sistem yardımıyla yazabilmeyi isterken sadece 1 (%5) öğretmen herhangi bir sistem yardımını istememektedir.

İhtiyaç analizi anket formunda ihtiyaçların belirlenmesine yönelik sorulan diğer sorulara ilişkin alınmış olunan cevaplar Çizelge 6.8’de sunulmaktadır.

Çizelge 6.8’de projeksiyon cihazı, tepegöz ve kara tahta ile ders anlatımı sırasında sağlamış oldukları avantajlar – dezavantajlar ile zorluklar – kolaylıklara ilişkin öğretmen görüşleri sunulmuştur. İlgili çizelge incelendiğinde tüm ders anlatma tekniklerinin hepsinde de kendilerine özgü avantajları ve kolaylıkları bulunmaktadır. Bu avantajlara ve kolaylıklara rağmen her üç ders anlatma tekniğinde de dezavantajlar ve eksiklikler olduğu görülmektedir.

Çizelge 6.8. Projeksiyon cihazı, Tepegöz ve Kara tahta ile ders anlatma hakkındaki öğretmen görüşleri

SORULAR	ALINAN CEVAPLAR
Projeksiyon cihazı ile (bilgisayar destekli) ders anlatmanın dezavantajları ve zorlukları	- Doğrudan ekrana müdahale zor - Projeksiyon cihazından çıkan ışınların rahatsız etmesi
Projeksiyon cihazı ile (bilgisayar destekli) ders anlatmanın avantaj ve kolaylıkları	- Hazır eğitim dokümanlarını kullanabilme - Özellikle grafik uygulamalarında hazır grafik kullanabilme
Tepegöz ile ders anlatmanın dezavantaj ve zorlukları	- Ağır olması - Eski teknoloji hissi vermesi - Kullanışlı olmaması - Çok yer kaplıyor olması
Tepegöz ile ders anlatmanın avantaj ve kolaylıkları	Hızlıca ders anlatılabiliyor olması
Yazı tahtası (kara tahta) ile ders anlatmanın dezavantaj ve zorlukları	- Yorucu olması - Sınıfa sırtı dönük olmanın huzursuzluk vermesi - Tebeşir tozunun rahatsız ediyor olması
Yazı tahtası (kara tahta) ile ders anlatmanın avantaj ve kolaylıkları	Öğrenciye konuyu daha kolay anlatabiliyor olmak

6.2. Katılımcı Ön Bilgi Formundan Elde Edilen Bulgular

Aşağıdaki çizelgelerde anket dahilinde sorulmuş sorulara ilişkin elde edilmiş sonuçlar bulunmaktadır.

Çizelge 6.9. Ders verdikleri öğrenim düzeylerine göre öğretmenlerin dağılımı

	Katılımcı Sayısı (f)	%	Seçeneği İşaretleyen Katılımcılar
İlköğr.	7	35	K3,K6,K7,K9,K12,K13,K19
Lise	13	65	K1,K2,K4,K5,K8,K10,K11,K14,K15,K16,K17,K18,K20
Toplam	20	100	K1,K2,...K20

Çizelge 6.9’da görüldüğü üzere 20 öğretmenden 7 (%35) tanesi ilköğretim 13 (%65) tanesi ise lise öğretmenidir.

Çizelge 6.10. Öğretmenlerin öğretmenlik deneyimleri

	Katılımcı Sayısı (f)	%	Seçeneği İşaretleyen Katılımcılar
1-3 sene	6	30	K2,K6,K9,K10,K14,K18
3-10 sene	11	55	K1,K3,K7,K8,K11,K12,K13,K15,K16,K17,K19
10+	3	15	K4,K5,K20
Toplam	20	100	K1,K2,...K20

Çizelge 6.10'a göre öğretmenlerden 6 (%30) tanesi 1-3 sene, 11 (%55) tanesi 3-10 sene ve 3 tanesi ise 10+ sene öğretmenlik deneyimine sahip oldukları görülmektedir.

Çizelge 6.11. Öğretmenlerin yaş dağılımları

	Katılımcı Sayısı (f)	%	Seçeneği İşaretleyen Katılımcılar
25-35	7	35	K1,K5,K6,K8,K10,K14,K17
35-45	12	60	K2,K3,K7,K9,K11,K12,K13,K15,K16,K18,K19,K20
45-55	1	5	K4
Toplam	20	100	K1,K2,...K20

Çizelge 6.11'e göre 7(%35) öğretmen 25-35 yaş grubundan, 12 (%65) öğretmen 35-45 yaş grubundan ve 1 (%5) öğretmen 45-55 yaş grubundan olduğu görülmektedir.

Çizelge 6.12. Öğretmenlerin branşları

	Katılımcı Sayısı (f)	%	Seçeneği İşaretleyen Katılımcılar
Fen bilimleri	11	55	K2,K3,K6,K7,K8,K10,K13,K16,K17,K18,K20
Sosyal bilimler	9	45	K1,K4,K5,K9,K11,K12,K14,K15,K19
Toplam	20	100	K1,K2,...K20

Çizelge 6.12'ye göre 11 (%55) öğretmen fen bilimleri branşından 9 (%45) öğretmen ise sosyal bilimleri branşından olduğu görülmektedir.

6.3. Kullanılabilirlik Testi Süresince Elde Edilen Bulguların Değerlendirilmesi

Bu bölümde kullanılabilirlik testine katılan katılımcıların kendilerine verilen görevleri yerine getirebilme süreleri ve bu görevleri gerçekleştirirken karşılaştıkları sorunlar ve sunmuş oldukları öneriler değerlendirilmiştir. Kullanılabilirlik testi öncesinde katılımcılara tasarlanan yazım ekranının kullanımı hakkında herhangi bir bilgi verilmemiştir. Sadece tasarlanan sistemin amacının ne olduğu kabaca çalışma prensibi hakkında bilgi verilmiştir.

Katılımcılara toplamda 8 görevden oluşmuş bir görev listesi verilmiştir. Katılımcının her bir görevi gerçekleştirirken harcamış olduğu süre bir gözlemci yardımıyla saniye cinsinden kayıt altına alınmıştır. Ayrıca her katılımcıdan her bir görevi gerçekleştirdikten hemen sonra görev listesindeki ilgili görevin altında görevin zorluk derecesini gösteren 5 kademeden oluşan zorluk derecelendirmesi tablosunun işaretlenmesi istenmiştir.

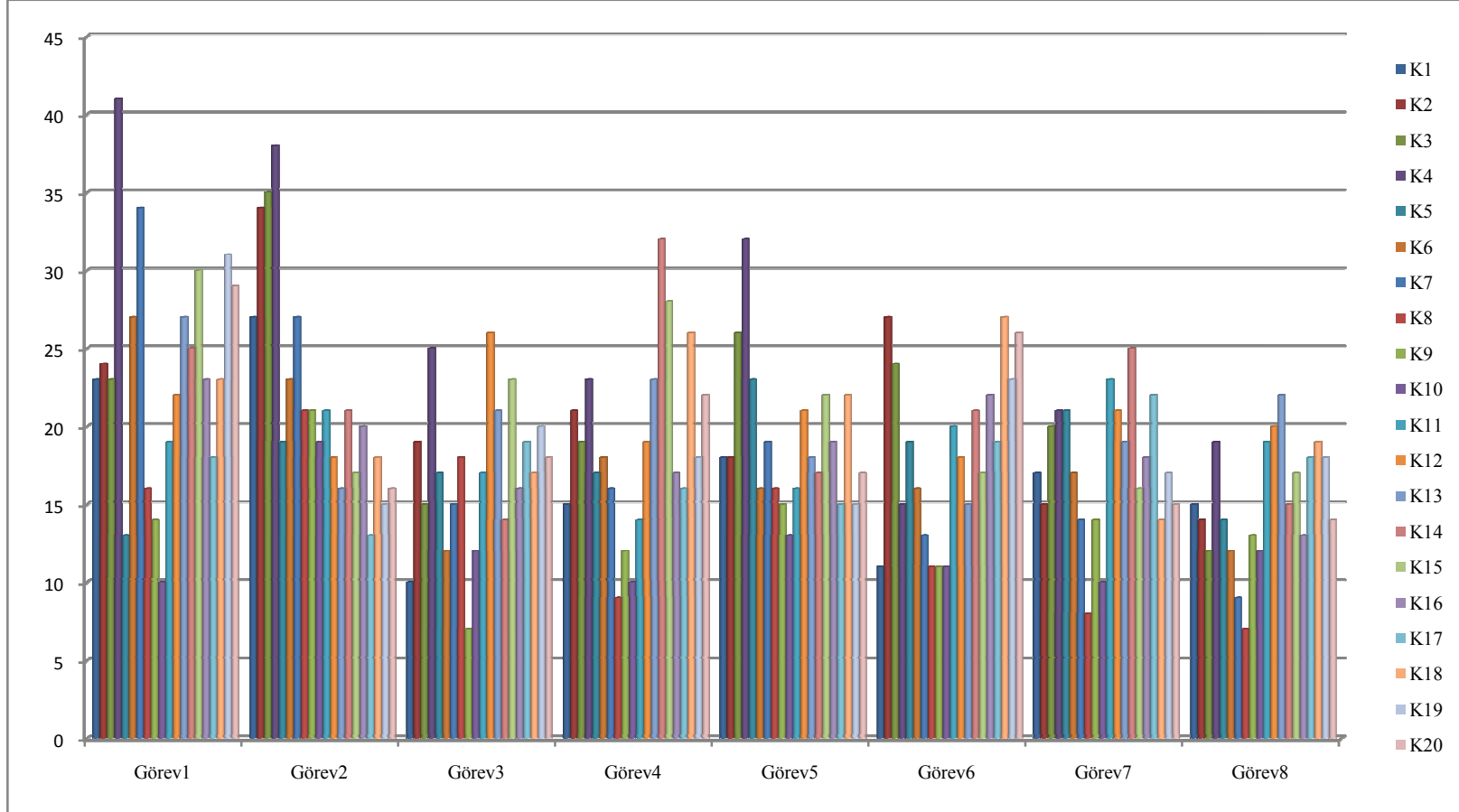
Katılımcılar ile ilgili hem görev listesindeki görevleri gerçekleştirebilme süreleri hem de görevlerin zorluk dereceleri ile ilgili değerlendirme işlemleri şu şekilde gerçekleştirilmiştir:

Çizelge 6.13'te görüldüğü üzere katılımcılar uygulamalara ortalama 19 sn gibi bir süre ayırmışlardır. 8 ayrı görevden oluşan görev listesi her bir katılımcı tarafından ortalama olarak 3 dakika gibi bir süre içerisinde tamamlanmıştır. Görevler içerisinde “komple ekranın temizlenip sistemin kapatılması (Görev 8)” görevi ortalama 15,10 sn’lik bir süre ile en kısa zamanda gerçekleştirilen görev iken; “yazım ekranının monitör ile bağlantısını yapıp “adaptör” modunda çalıştırınız (Görev 1)” görevi ise ortalama 23,60 sn’lik bir süre ile en uzun zamanda gerçekleştirilen görev olmuştur. Görev 1’in en uzun süreye sahip olması ilk görev olmasından dolayı katılımcıların ilk defa böyle bir sistemi

kullanmaya başlamaları, ilk deneyim, ne ile karşılaşabileceklerini bilemeleri ve anlık şaşkınlıktan kaynaklı bir durum şeklinde yorumlanabilir.

Çizelge 6.13'ten katılımcıların görevleri gerçekleştirme toplam süreleri incelendiğinde 4 nolu katılımcı 214 sn ile en uzun görev gerçekleştirme süresine sahip iken, 10 nolu katılımcı 97 sn ile en kısa görev gerçekleştirme süresine sahip olduğu görülmektedir. 4 nolu katılımcı için katılımcı ön bilgi formu ve ihtiyaç belirleme formu dahilinde vermiş olduğu cevaplar incelendiğinde şu sonuçlar çıkmıştır: katılımcı “Teknolojiyi sever misiniz?” sorusuna “hayır” cevabını vermiş ve katılımcının yaş aralığı “45-55” yaş aralığındadır. Bu kriterler göz önüne alındığında katılımcının yaşça ileri yaş grubunda yer alması ve teknolojik sistemlere karşı olumlu bir tutuma sahip olmamasından kaynaklanmış olabilir. Verilen görevleri en kısa sürede gerçekleştiren 10 nolu katılımcı için katılımcı ön bilgi formu ve ihtiyaç belirleme formu dahilinde vermiş olduğu cevaplar incelendiğinde; teknolojiyi seven, 25-35 yaş aralığında ve 1-3 senelik öğretmenlik kariyerine sahip olduğu görülmektedir. Ayrıca görevleri toplamda 150 sn'nin altında tamamlayan katılımcılar incelendiğinde; ağırlıklı olarak 25-35 yaş grubunda, bir katılımcı dışındaki tüm katılımcıların teknolojiyi seviyor olması genç neslin teknolojiye daha yatkın ve ilgili olduğu yorumu çıkartılabilir.

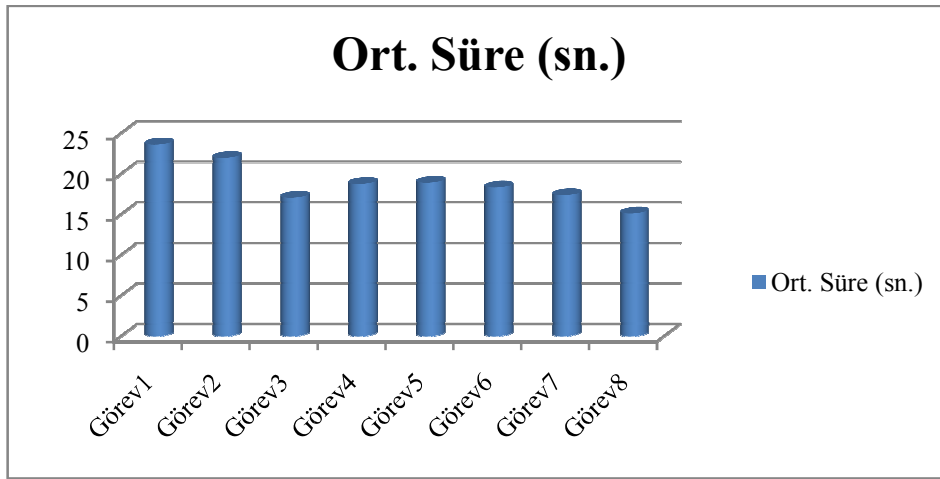
Şekil 6.1'de görev listesindeki görevlerin gerçekleştirilme sürelerini gösteren grafikler bulunmaktadır. Bu grafiklerden görevlerin daha çok 15-20 sn arası gerçekleştirildiği görülmektedir.



K1, K2...K20 = Katılımcı Numaralandırması

Şekil 6.1. Görevlerin gerçekleştirilme sürelerini gösteren grafik

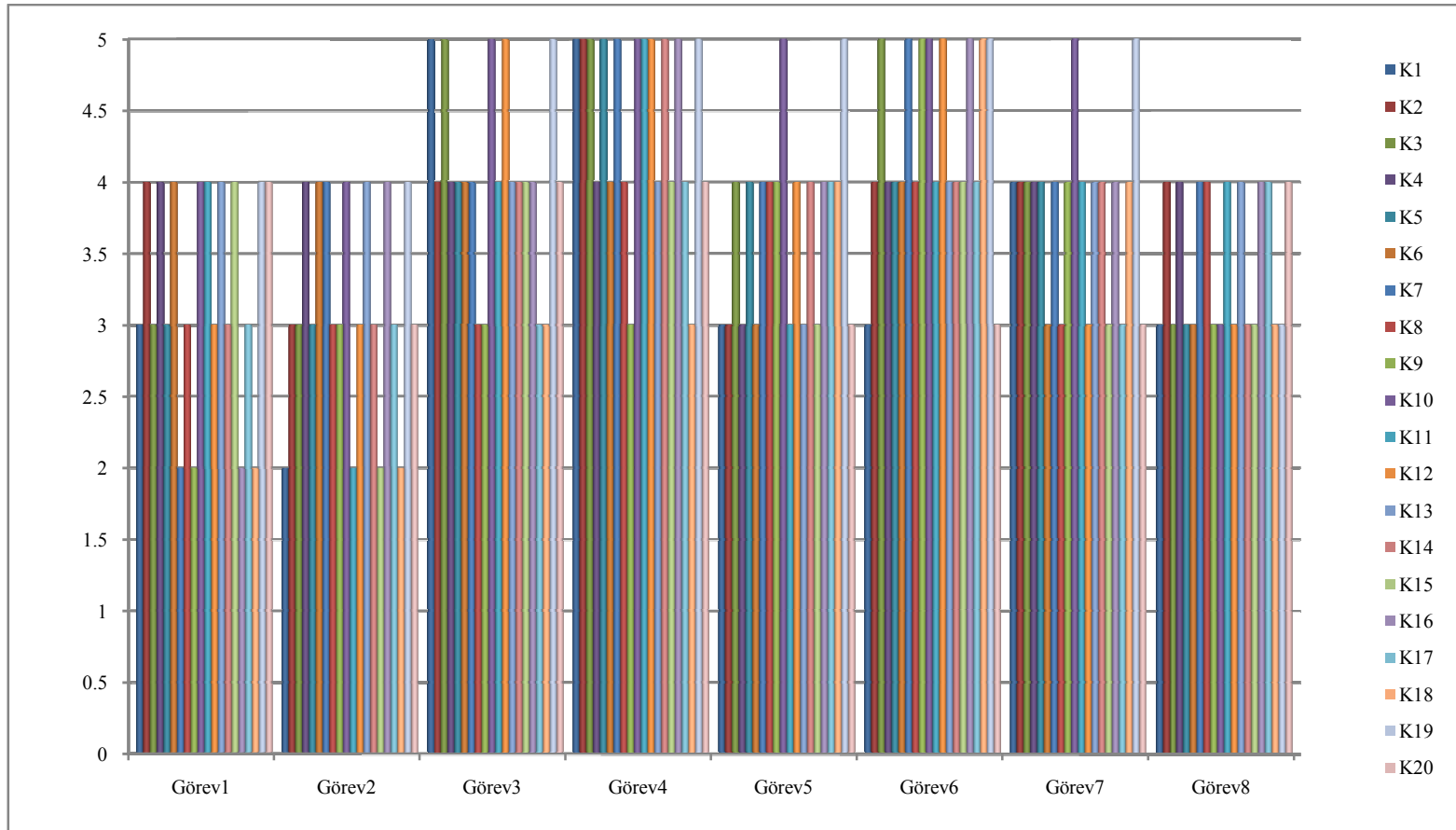
Şekil 6.2’de de görüldüğü gibi, tüm katılımcılar genelinde görevlerin ortalama gerçekleştirilme süreleri göz önüne alındığında, en uzun sürede gerçekleştirilen görev Görev 1 olup en kısa sürede gerçekleştirilen görev ise Görev 8 olarak görülmektedir. Ayrıca görevlerin büyük çoğunluğu 15-20 sn arası gerçekleştirildiği de şekilden görülebilmektedir.



Şekil 6.2. Görevlerin ortalama gerçekleştirilme süreleri

Çizelge 6.14’te katılımcılar kendilerine sunulan görevlerin zorluk düzeylerini belirtmektedirler. İlgili çizelgeler incelendiğinde tüm görevlerin ortalama zorluk düzeyleri yaklaşık 3,75 (kolay) çıkmaktadır. En zor görev 3,15 puanla “yazım ekranı açıldıktan sonra kapatıp yeniden fakat “batarya” modunda çalıştırınız (Görev 2)” görevi olup en kolay görev ise 4,45 puanla “yazım ekranından sil modunda çizimleri siliniz (Görev 4)” görevi olduğu görülmektedir.

Yapılan gözlemler sonucunda Görev 2’nin daha uzun sürede gerçekleştirilmesinde esas etkenin; ilgili işlemi gerçekleştirmek amacıyla kullanılan devre anahtarının sistem kasasının yan tarafında olması ve doğrudan göz ile görünebilir / fark edilebilir bir yerde olmamasından kaynaklı olduğu saptanmıştır. Bu durum bir dizayn eksikliğinin olduğunun bir göstergesi olarak yorumlanabilir.



Şekil 6.3. Görev listesindeki görevlerin zorluk-kolaylık düzeylerini gösteren grafik

Şekil 6.3'te görev listesindeki görevlerin her bir katılımcı için zorluk ve kolaylık düzeylerini gösteren grafikler bulunmaktadır. Bu grafiklerden görevlerin daha çok 3-4 arası zorluk düzeyine sahip oldukları görülmektedir.

Şekil 6.4'te görev listesinde bulunan görevlerin her birinin tüm katılımcılar düzeyinde ortalama zorluk – kolaylık düzeylerini gösteren grafik bulunmaktadır. Grafikten Görev 4'ün en kolay görev, Görev 2'nin ise en zor görev olduğu görülmektedir.



(1:çok zor, 2:zor, 3:kolaya yakın, 4:kolay, 5:çok kolay)

Şekil 6.4. Görev listesindeki görevlerin zorluk-kolaylık düzeylerini gösteren grafik

6.4. Memnuniyet Değerlendirme Anketinden Elde Edilen Bulgular

Bu bölümde, tasarlanmış yazım ekranının çeşitli işlev ve fonksiyonlarını içeren bir görev listesi yoluyla farklı branştaki 20 öğretmene uygulanmış kullanılabilirlik testi akabinde 15 sorudan oluşan ve tasarlanan sistemin işe yararlılık, kullanım kolaylığını ve kullanılabilirliğini belirlemeye yönelik sorulardan oluşmuş bir memnuniyet değerlendirme anket formundan elde edilmiş bulguların değerlendirilmesi gerçekleştirilecektir. İlk 5

soru sistemin işe yararlılığını belirlemeye yönelik, sonraki 5 soru sistemin kullanım kolaylığını belirlemeye yönelik ve son 5 soru ise sistemin kullanılabilirliğini belirlemeye yönelik sorulardır.

Hazırlanan anket formunda “Evet”, “Kısmen”, “Hayır” şeklinde cevaplandırma seçenekleri ile katılım derecelendirilmesi gerçekleştirilmiştir. Anket formundaki sorulara ilişkin alınan cevaplar; frekans (f), yüzdelik (%), ortalama değerler ($\bar{x}$) ve standart sapma (ss) sonuçlarının hesaplanmaları ile değerlendirmeye tabi tutulmuşlardır. Memnuniyet değerlendirme anket formu dahilinde sorulmuş sorulara ilişkin anket formu Ek3-4’te yer almaktadır. Aşağıdaki çizelgelerde “memnuniyet değerlendirme anket formu” dahilinde sorulan sorulara ilişkin elde edilmiş cevaplar ve değerlendirmeleri bulunmaktadır:

Çizelge 6.15. Yazım ekranının “işe yararlılık” düzeyini belirlemeye yönelik sorulan sorulara alınan cevapların analizi

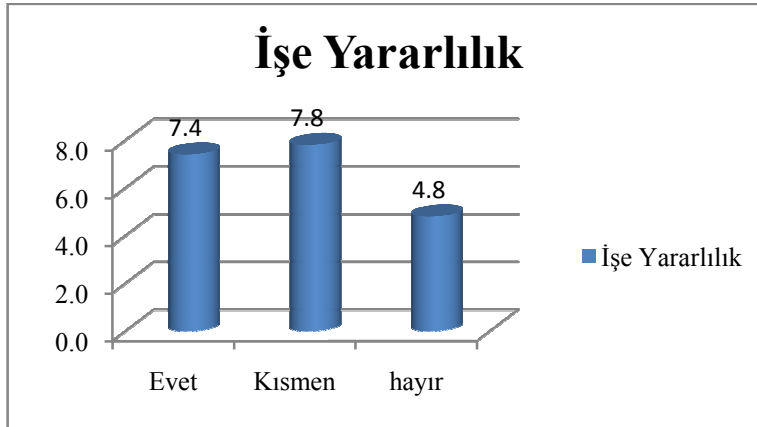
SORULAR	HAYIR(1)		KISMEN(2)		EVET(3)		TOPLAM		ARİTMETİK ORTALAMA ($\bar{x}$)
	f	%	f	%	f	%	f	%	
Yazım ekranının kullanılması ile dersleri daha kolay ve hızlı anlatabilir misiniz?	5	25	6	30	9	45	20	100	2,20
Yazım ekranının kullanılması ile mevcut performansınız artabilir mi?	4	20	8	40	8	40	20	100	2,20
Yazım ekranının kullanılması ile dersteki etkinliğiniz artabilir mi?	6	30	7	35	7	35	20	100	2,05
Yazım ekranının kullanılması ile öğrencilerinize daha faydalı olacağınızı düşünüyor musunuz?	4	20	9	45	7	35	20	100	2,15
Bu yazım ekranının dersleriniz için işe yarar bir araç olduğunu düşünüyor musunuz?	5	25	9	45	6	30	20	100	2,05
Genel Ortalama:	4,8	24	7,8	39	7,4	37	20	100	2,13

Hayır (1) 1,00-1,66 %0 - %33
 Kısmen (2) 1,67-2,33 %34 - %66
 Evet (3) 2,34-3,00 %67 - %100

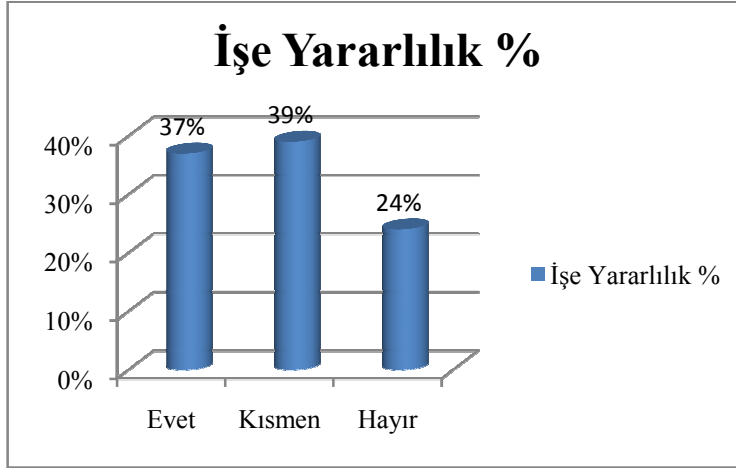
Çizelge 6.15 incelendiğinde genel ortalama değerleri göz önüne alındığında 20 tam puan üzerinden en yüksek değer olarak 7,8 (%39) puan değeri ile yazım ekranının işe yararlılık değerlendirmesi olarak orta düzeyde (kısmen işe yarar) bir değere sahip olduğu görülmektedir. Benzer şekilde alınan 2,13 puanlık aritmetik ortalamaların genel ortalama değeri de 1,67 – 2,33 puan değerleri arasında olup sistemin işe yararlılık düzeyinin orta düzey (kısmen işe yarar) olduğunu belirtmektedir.

Çizelge 6.15 sorular düzeyinde incelendiğinde; yazım ekranının kullanılması ile öğretmenlerin derslerini daha kolay ve hızlı anlatabilecekleri, mevcut performanslarının kısmen etkilenebileceği, dersteki etkinliklerinin etkilenebileceğini, yazım ekranının öğrencilerine kısmen faydalı olabileceği ve kısmen işe yarar bir ders anlatma aracı olduğu görüşleri çıkartılabilir.

İşe yararlılık değerlendirme sonuçları Şekil 6.5 ve Şekil 6.6'daki grafiklerden de görülebilmektedir.



Şekil 6.5. Yazım ekranının işe yararlılığının 20 tam puan üzerinden almış olduğu değerlendirmeler



Şekil 6.6. Yazım ekranının işe yararlılığının %100 tam puan üzerinden almış olduğu yüzdelik değerlendirmeler

Çizelge 6.16. Yazım ekranının “kullanım kolaylığı” düzeyini belirlemeye yönelik sorulan sorulara alınan cevapların analizi

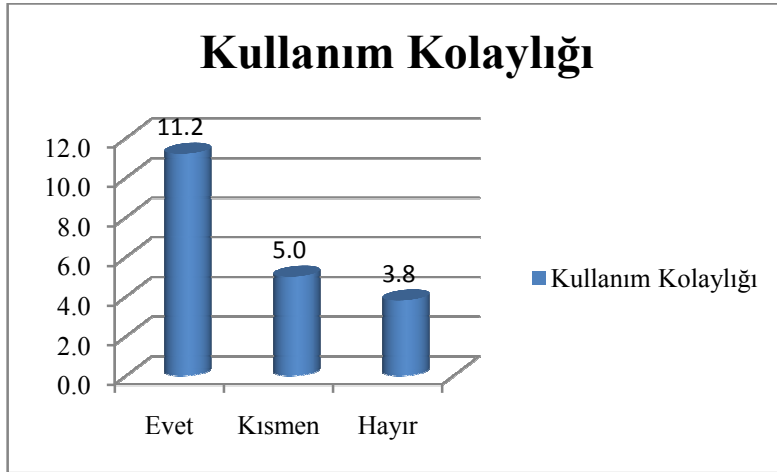
SORULAR	HAYIR(1)		KISMEN(2)		EVET(3)		TOPLAM		ARİTMETİK ORTALAMA ()
	f	%	f	%	f	%	f	%	
Yazım ekranını kullanımını kolay buldunuz mu?	3	15	4	20	13	65	20	100	2,50
Yazım ekranının nasıl çalıştığını öğrenmeniz kolay oldu mu?	4	20	5	25	11	55	20	100	2,35
Yazım ekranını kullanarak bir şeyler anlatmanın kolay olduğunu düşünüyor musunuz?	5	25	5	25	10	50	20	100	2,25
Yazım ekranı ile etkileşimin çok açık ve sade olduğunu düşünüyor musunuz? (karmaşıklık yok)	2	10	5	25	13	65	20	100	2,55
Yazım ekranı üzerinde istediğiniz tüm çizimleri gerçekleştirebilmeniz kolay oldu mu?	5	25	6	30	9	45	20	100	2,20
Genel Ortalama:	3,8	19	5	25	11,2	56	20	100	2,37

Hayır (1) 1,00-1,66 %0 - %33
 Kısmen (2) 1,67-2,33 %34 - %66
 Evet (3) 2,34-3,00 %67 - %100

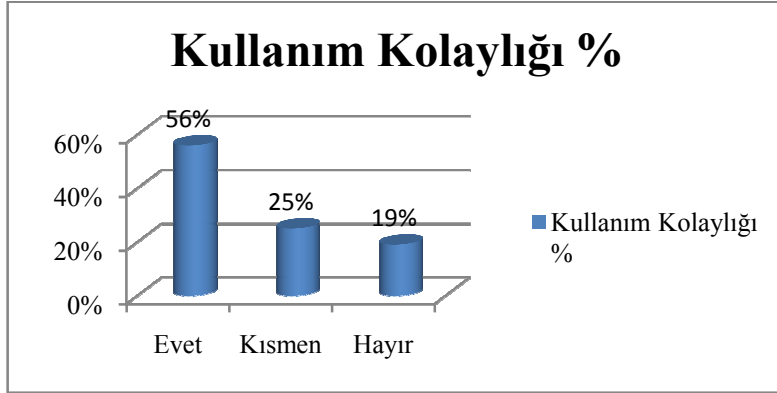
Çizelge 6.16 incelendiğinde genel ortalama değerleri göz önüne alındığında 20 tam puan üzerinden en yüksek değer olarak 11,2 (%56) puan değeri ile yazım ekranının kullanım kolaylığı değerlendirmesi olarak “Kısmen Kolay” düzeyinde bir değere sahip olduğu görülmektedir. Benzer şekilde alınan 2,37 puanlık aritmetik ortalamaların genel ortalama değeri de 2,34 – 3,00 puan değerleri arasında olup sistemin kullanım kolaylığı düzeyinin “Evet Kolay” düzeyinde olduğunu belirtmektedir.

Çizelge 6.16 sorular düzeyinde incelendiğinde; yazım ekranının kullanımının kolay olduğu, nasıl çalıştığının öğrenilmesinin kolay olduğu, ekrandan bir şeyler anlatmanın kolay olduğu, ekran ile etkileşimin açık ve sade olduğu ayrıca ekranda çizimleri gerçekleştirebilmenin kolay olduğu görüşleri çıkartılabilir.

Kullanım kolaylığı değerlendirme sonuçları Şekil 6.7 ve Şekil 6.8’deki grafiklerden de görülebilmektedir.



Şekil 6.7. Yazım ekranının kullanım kolaylığının 20 tam puan üzerinden almış olduğu değerlendirmeler



Şekil 6.8. Yazım ekranının kullanım kolaylığının %100 tam puan üzerinden almış olduğu yüzdelik değerlendirmeler

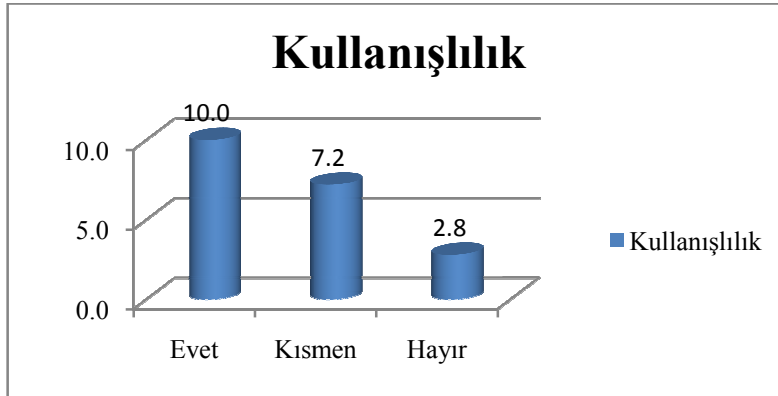
Çizelge 6.17. Yazım ekranının “kullanışlılığını” belirlemeye yönelik sorulan sorulara alınan cevapların analizi

SORULAR	HAYIR(1)		KISMEN(2)		EVET(3)		TOPLAM		ARİTMATİK ORTALAMA ()
	f	%	f	%	f	%	f	%	
Yazım ekranını ders anlatmak için kullanışlı olduğunu düşünüyor musunuz?	4	20	9	45	7	35	20	100	2,15
Ürün ile kullanılan birçok özelliğin gerekli ve yerli yerinde kullanıldığını düşünüyor musunuz?	4	20	8	40	8	40	20	100	2,20
Yazım ekranının portatif olma özelliğini kullanışlı buldunuz mu?	2	10	7	35	11	55	20	100	2,45
Oturduğunuz yerden sınıfınıza ders anlatabiliyor olmanın yazım ekranının sağladığı bir kullanışlılık özelliği olduğunu düşünüyor musunuz?	1	5	6	30	13	65	20	100	2,60
Yazım ekranını yazı yazmak konusunda klasik yazı tahtaları (kara tahta) kadar kullanışlı olduğunu düşünüyor musunuz?	3	15	6	30	11	55	20	100	2,40
Genel Ortalama:	2,8	14	7,2	36	10	50	20	100	2,36

Hayır	(1)	1,00-1,66	%0 - %33
Kismen	(2)	1,67-2,33	%34 - %66
Evet	(3)	2,34-3,00	%67 - %100

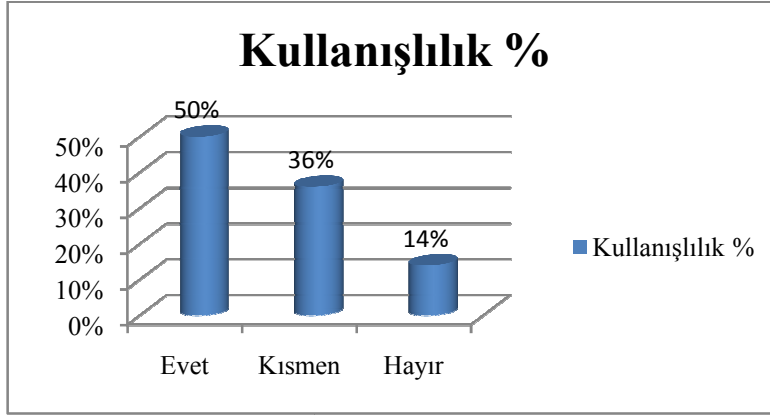
Çizelge 6.17 incelendiğinde genel ortalama değerleri göz önüne alındığında 20 tam puan üzerinden en yüksek değer olarak 10 (%50) puan değeri ile yazım ekranının kullanışlılık değerlendirmesi olarak “Kısmen Kullanışlı” düzeyinde bir değere sahip olduğu görülmektedir. Benzer şekilde alınan 2,36 puanlık aritmetik ortalamaların genel ortalama değeri de 2,34 – 3,00 puan değerleri arasında olup sistemin kullanışlılık düzeyinin “Evet Kullanışlı” olduğunu belirtmektedir.

Çizelge 6.17 sorular düzeyinde incelendiğinde; yazım ekranının ders anlatmak için kısmen kullanışlı olduğu, sistem ile birlikte kullanılan özelliklerin kısmen gerekli ve yerli yerinde kullanıldığı, portatif olma özelliğinin sisteme kullanışlılık kattığı, oturdukları yerden ders anlatabilme özelliğinin kullanışlı olduğu ve yazı yazma konusunda kara tahtalar kadar kullanışlı olduğu görüşleri çıkartılabilir.



Şekil 6.9. Yazım ekranının kullanışlılığının 20 tam puan üzerinden almış olduğu değerlendirmeler

Kullanışlılık değerlendirme sonuçları Şekil 6.9 ve Şekil 6.10'daki grafiklerden de görülebilmektedir.



Şekil 6.10. Yazım ekranının kullanılabilirliğinin %100 tam puan üzerinden almış olduğu yüzdelerle değerlendirilmeler

7. SONUÇ VE ÖNERİLER

Yapılan bu tez çalışması kapsamında tasarlanan yazım ekranının eğitim ve öğretim çalışmalarına destek olması esas amaç olarak hedef alınmıştır. Ayrıca bu ürünün eğitim teknolojileri alanına destek sağlaması, bu alanın genişlemesi ve çok yönlü olmasına katkıda bulunması, ayrıca eğitim ve teknoloji alanlarının entegrasyonunu geliştirmesi amacıyla oluşturulmaya çalışılmıştır.

Bu tez çalışması yapılmadan önce literatürden elde edilen bilgiler doğrultusunda gerek öğretmenlerin ders anlatmaları konusunda yaşadıkları sıkıntıları azaltmak, gerekse ders anlatımı esnasında kullandıkları etkinliklerinin niteliklerinin artırılmasına katkı sağlayacak ürünlerin eksiklikleri tespit edilmiştir. Bu çalışma ile bu ihtiyaçlara çözüm üretebileceği düşünülen yazım ekranı tasarlanmıştır.

Tez çalışmasında ürün olarak ortaya çıkan projeksiyon cihazı destekli, portatif veya sabit olarak kullanılabilen yazım ekranının tasarımının tüm aşamaları, tüm yazılım ve donanım birimleri dahil, ayrıntıları ile anlatılmaya çalışılmıştır. Ayrıca bir ürün olarak sistem, esas hedef kitlesi olan öğretmenlere doğrudan kullanılarak, onlardan gelen geri dönütleri kayda alarak ürün için bir kullanılabilirlik testi gerçekleştirilmiştir. Bu test sayesinde oluşturulan ürünün ne derece başarılı olduğu, esas hedeflerinden kaçını gerçekleştirebildiği, eksik yönleri, güçlü yönleri ve kendi alanındaki muhtemel yeri belirlenmeye çalışılmıştır.

Yapılan kullanılabilirlik testi dahilinde çeşitli test ve anketler yardımıyla veriler toplanmış, literatürden faydalanılarak çeşitli metot, teknik ve yöntemler ile toplanan veriler değerlendirmeye tabi tutulmuştur. Bu değerlendirmeler iki ayrı grup şeklinde gösterilebilir. Bunlardan birincisi kullanılabilirlik testine katılan katılımcıların eğitim ve

teknoloji arasındaki entegrasyonuna yönelik yorumlarından çıkan sonuçların değerlendirilmesi, diğeri ise doğrudan katılımcıların ürün olarak oluşturulan yazım ekranı hakkındaki düşüncelerinin değerlendirilmesidir. Bu değerlendirmelerin ışığında elde edilen sonuçlar şu şekildedir:

1. Birinci grup değerlendirmeler kullanılabilirlik testi öncesinde katılımcılara sunulan “İhtiyaç Belirleme Formu” çerçevesinde elde edilmiş bulgulardır. Bu bulguların edinildiği katılımcıların çoğunun 3 yılın üzerinde deneyime sahip, hem sosyal hem de fen bilimleri branşlarında ders veren öğretmenlerden oluşmuş, tümü bilgisayar kullanıcısı ve büyük çoğunluğu teknolojiyi seven lise ve ilköğretim öğretmenleri ile çalışılmıştır.

Katılımcıların büyük çoğunluğunun 3 yıl ve üzeri deneyime sahip olması özellikle ders anlatma tekniklerinin değerlendirilmesinde fayda sağlamıştır. Tüm katılımcıların bilgisayar kullanıcısı olması ve büyük çoğunluğunun teknolojiyi seviyor olması eğitim ve öğretimde teknolojik cihazların kullanımının ve entegrasyonunun kolay olabileceğini göstermektedir. Bununla birlikte anket dahilinde projeksiyon cihazı destekli, tepegöz destekli ve yazım tahtası destekli ders anlatma teknikleri karşılaştırılmış ve sonuç olarak; projeksiyon cihazı ile ders anlatmanın kolay ama doğrudan bir yazım ekranı gibi bilgisayar ekranına müdahale gerçekleştirilememenin bir dezavantaj olduğu, tepegöz sisteminin boyutlarının dezavantaj olduğu, yazı tahtası ile ders anlatmanın öğrenciler için daha etkin olduğu fakat bir o kadarda zahmetli olduğu sonuçları elde edilmiştir. Sonuç olarak, her üç sistemin de eksikliklerinin olduğu ve bu eksikliklerin giderilebileceği bir sistemin tasarlanması gerektiği belirlenmiştir.

2. İkinci grup kapsamındaki değerlendirmeler kullanılabilirlik testi sonrasında katılımcılara sunulan “Memnuniyet Değerlendirmesi Anket Formu” dahilinde

katılımcılardan geri dönüt olarak alınan, işe yararlılık, kullanım kolaylığı ve kullanılabilirlik değerlendirilmesi anket sorularından elde edilmiş bulgulardır.

Memnuniyet anket formu dahilinde uzman görüşü alınmış 5'i sistemin işe yararlılığını belirlemeye yönelik, 5'i sistemin kullanım kolaylığını belirlemeye yönelik ve 5'i de sistemin kullanılabilirliğini belirlemeye yönelik toplamda 15 soru sorulmuştur. Her bir sorunun cevaplandırma sistemi "Hayır Katılmıyorum", "Kısmen Katılıyorum", "Evet Katılıyorum" şeklinde oluşturulmuştur.

Anket sonucunda sistemin işe yararlılığını belirlemeye yönelik sorulan sorulardan elde edilen cevapların genel aritmetik ortalama değeri 2,13 gibi bir değer ile kısmen işe yarar düzeyinde sonuç elde edilmiştir. İşe yararlılığı belirlemeye yönelik sorulan sorular tek tek göz önüne alındığında ise; yazım ekranının mevcut durumu ile kullanılması ile öğretmenlerin derslerini daha kolay ve hızlı anlatabilecekleri, öğretmenlerin mevcut performanslarını ve dersteki etkinliklerini pek etkileyemeyeceği, öğrencilerine orta düzeyde faydalı olabileceği ve kısmen işe yarar bir ders anlatma aracı olduğu görüşleri çıkartılmıştır.

Sistemin kullanım kolaylığını belirlemeye yönelik sorulmuş sorulardan elde edilen cevapların genel aritmetik ortalama değeri 2,37 gibi bir değer ile sistemin kullanımının kolay olduğu sonucu elde edilmiştir. Sistemin kullanım kolaylığını belirlemeye yönelik sorulan sorular tek tek göz önüne alındığında ise; yazım ekranının kullanımının kolay olduğu, nasıl çalıştığının öğrenilmesinin kolay olduğu, ekrandan bir şeyler anlatmanın kolay olduğu, ekran ile etkileşimin açık ve sade olduğu ayrıca ekranda çizimleri gerçekleştirebilmenin kolay olduğu görüşleri çıkartılmıştır.

Benzer şekilde sistemin kullanılabilirliğini belirlemeye yönelik sorulmuş sorulardan elde edilen cevapların aritmetik ortalama değeri ise 2.36 çıkmış olup, sistemin kullanışlı olduğu sonucu elde edilmiştir. Sistemin kullanılabilirliğini belirlemeye yönelik sorulan sorular tek tek göz önüne alındığında ise; yazım ekranının ders anlatmak için kısmen kullanışlı olduğu, sistem ile birlikte kullanılan özelliklerin kısmen gerekli ve yerli yerinde kullanıldığı, portatif olma özelliğinin sisteme kullanılabilirlik kattığı, oturdukları yerden ders anlatabilme özelliğinin kullanışlı olduğu ve yazı yazma konusunda kara tahtalar kadar kullanışlı olduğu görüşleri çıkartılmıştır.

Alınan bu değerlerin mahiyeti farklı durumlar için farklı anlamlar ifade edebilmektedir. Fakat anketteki tüm sorular göz önüne alındığında yazım ekranının mevcut hali ile kısmen işe yarar bir sistem olduğu, kullanımının kolay olduğu ve kullanışlı olduğu sonuçlarına varılabilir. Değerlendirmeler sonucunda; yazım ekranının tasarımından kaynaklı birtakım yazılımsal ve donanımsal eksikliklerin olduğu bariz olarak ortaya çıkmakta ve bu konuda iyileştirmelerin yapılması ile daha işe yarar, kullanımı daha kolay ve daha kullanışlı bir sistem haline dönüşebileceği sonucuna varılmıştır.

Tez çalışması dahilinde gerçekleştirilen tüm literatür taramaları, araştırmalar, bulgular ve değerlendirmeler ışığı altında sunulabilecek öneriler de şöylece sıralanabilir:

- Eğitim alanına katkıda bulunabilecek daha birçok teknolojik ürüne ihtiyaç duyulmaktadır. Bu ihtiyaçların belirlenmesi öğretmenlerin ve öğrencilerin güncel ihtiyaçları doğrultusunda belirlenmelidir.
- Eğitim teknolojileri için sunulan çözümlerin eğitim ve öğretimde performansın, etkinliğin ve verimliliğin artırılmasına yönelik olması gerekmektedir.

- Eğitim teknolojileri alanında yapılacak yenilikler ve çalışmaların tek bir nokta odaklı olmasından ziyade çok yönlü çok merkezli olması gerekmektedir. Sadece öğretmen veyahut sadece öğrenci hedef alınmasından ziyade konu ile ilgili tüm kişi ve koşulların göz önünde bulunması gerekmektedir.
- Tasarlanan yazım ekranının bir yazım ekranından ziyade daha etkileşimli bir ekrana dönüştürülmesi, yazım ekranının eğitim çalışmalarındaki etkinliğini ve kullanışlılığını arttıracaktır.
- Yazım ekranına yapılacak yazılımsal destekler ile yazım ekranı bir eğitim platformuna dönüştürülebilmesi muhtemeldir.
- Eğitim platformu şeklinde düşünülen sisteme yazılımsal özellikleri destekleyebilecek donanımsal özelliklerin; mesela, sistemin çeşitli harici bellek elemanlarını desteklemesi (flash bellekler) veyahut sistemin tamamen kablolardan arındırılmış projeksiyon cihazıyla tamamen kablosuz bir şekilde haberleşmesini sağlayabilecek donanımların eklenmesi sistemin kullanışlılığını ve etkinliğini arttıracaktır.

KAYNAKLAR

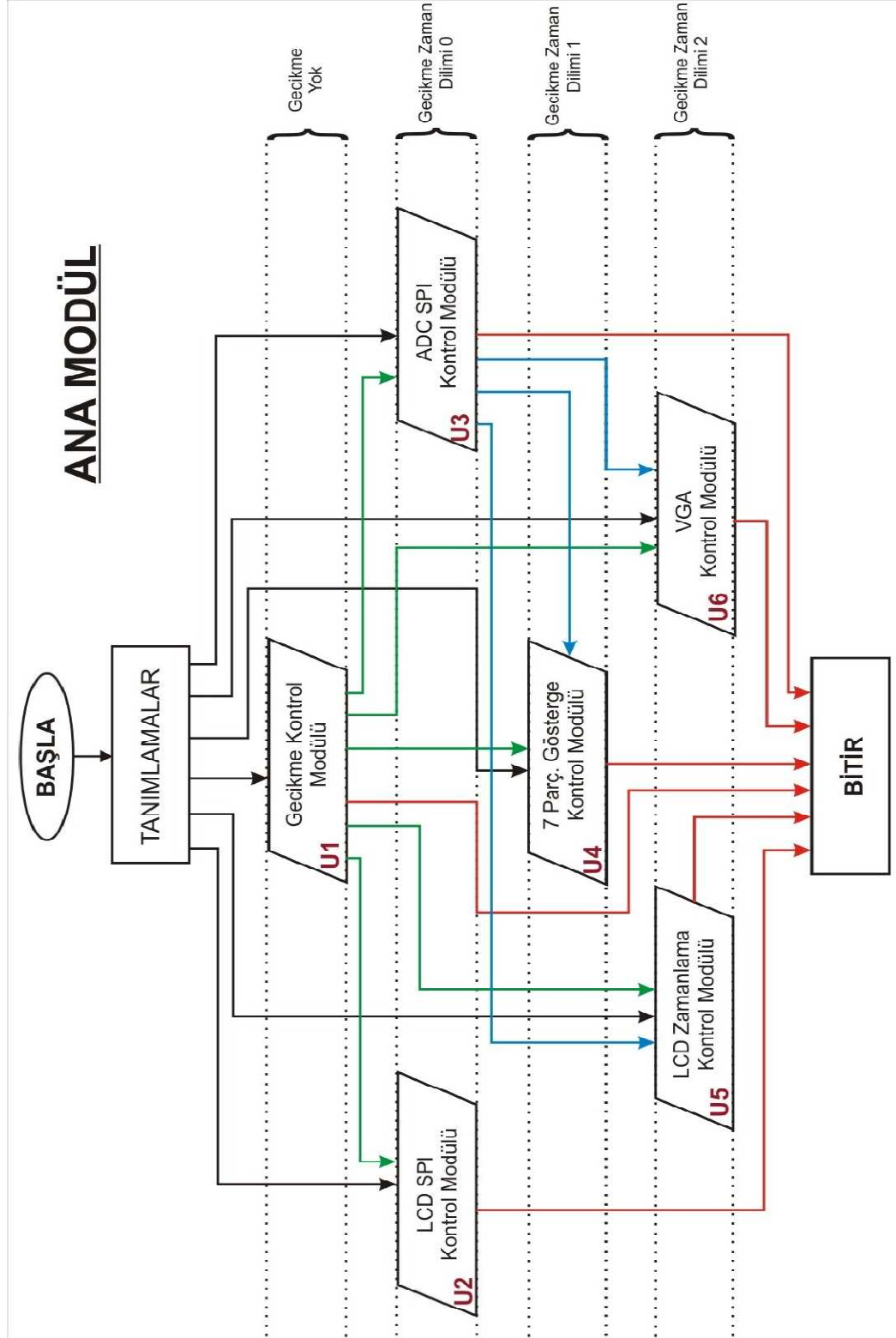
1. Richey, R. C., “Reflections on the 2008 AECT Definitions of the Field”, *TechTrends*, 52: 24-25 (2008).
2. Doğan, H., “Eğitimde Program ve Öğretim Tasarımı”, *Önder Matbaacılık*, Ankara, 87-122 (1997).
3. Bartos, J. F., “ASICs Versus FPGAs”, *Universidad de La Rioja Control Engineering Dep. Journal*, 52 (6) : 46-50 (2005).
4. Bob, K., “FPGA-prototyping and ASIC-conversion considerations”, *EDN Articles*, 24: 72-78 (2007).
5. Sima, D., Fountain, T., Kacsuk, P., “Advanced Computer Architecture: A Design Space Approach”, *Addison-Wesley Publishers*, Harlow, 76-160 (1998).
6. Katz, R., “Faster, Better, Cheaper Space Flight Electronics - An Analytical Case Study”, *Military and Aerospace Applications of Programmable Devices and Technologies Conference (MAPLD)*, Maryland, 1-37 (2000).
7. Parnell, K., Bryner, R., “Comparing and Contrasting FPGA and Microprocessor System Design and Development”, *Xilinx White Papers, Ireland*, 1-32 (2004).
8. Tuan, T., “A 90nm Low-Power FPGA for Battery-Powered Applications”, *Proceedings of the 2006 ACM/SIGDA 14th international symposium on Field programmable gate arrays*, California, 3-11 (2006).
9. Gardiner, K., “Comparing Power Consumption of FPGAs with Customizable Microcontrollers”, *FPGA and Programmable Logic Journal*, 5: 80-83 (2008).
10. Craig, L., “A Commercial Microprocessor on an FPGA”, *The University of Manchester, Manchester*, 10-64 (2008).

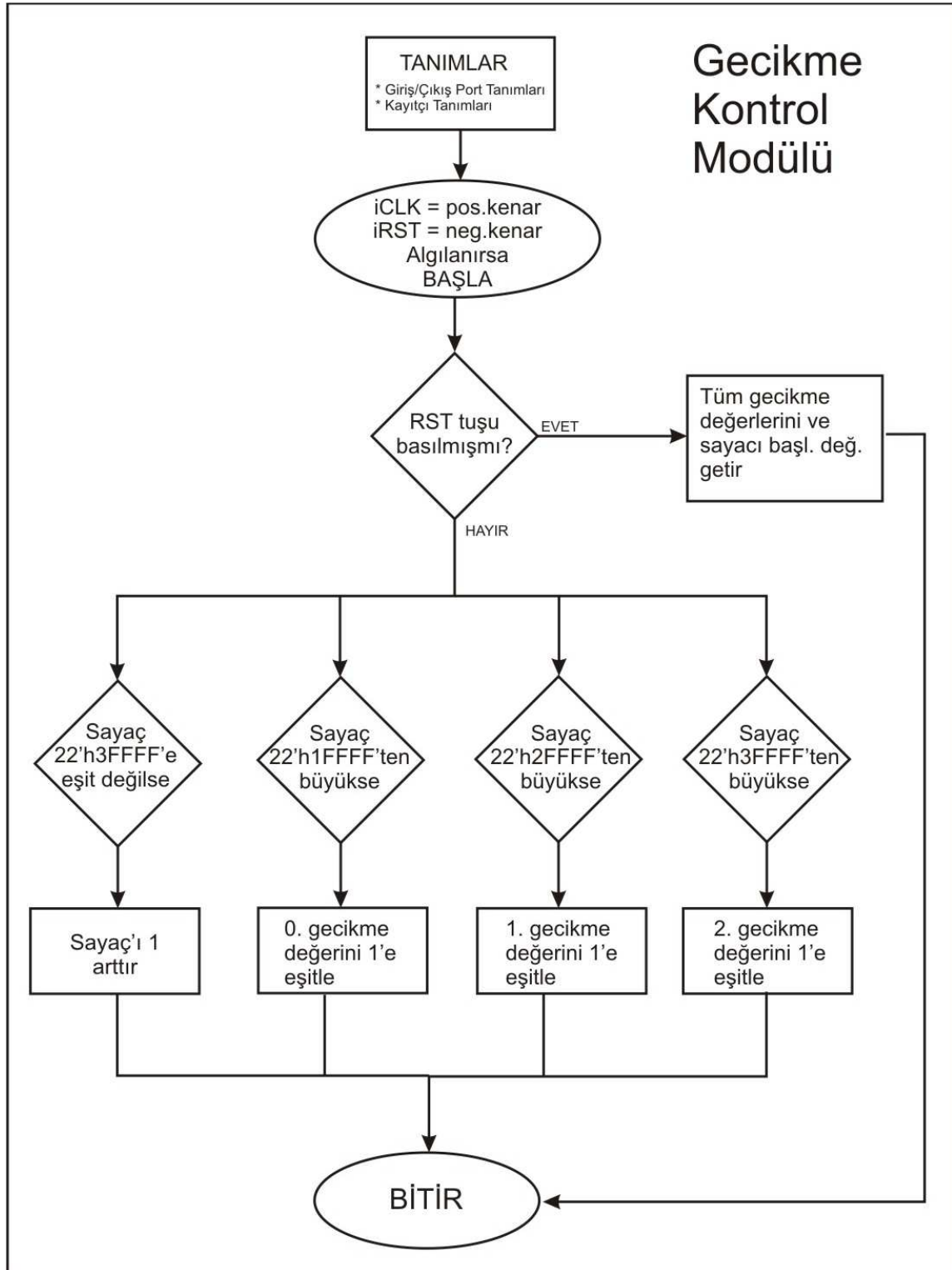
11. Joost, R., Salomon, R., "Advantages of FPGA-based multiprocessor systems in industrial applications", *Industrial Electronics Society, IECON 2005. 31st Annual Conference of IEEE*, Newyork, 6-10 (2005).
12. Sajjan, G. S., "Introduction to logic design", *Marcel Dekker Inc.*, Newyork, 132-256 (1998).
13. Bagad, V., S., "VLSI Design", *Technical Publications Pune*, India, 31-38 (2008).
14. Birkner, J., "Reduce random-logic complexity", *Electronic Design, Hayden Publishing*, New Jersey, 98-105, (1978).
15. Internet: EE Times "Xilinx, ASIC Vendors Talk Licensing", <http://www.eetimes.com/story/OEG20010622S0091>, (2001).
16. Barbacci, M., "The ISPS Computer Description Language," *Carnegie-Mellon Univ., Dept. of Computer Science, Pitsburg*, 75-86 (1977).
17. Mermet, J., "Fundamentals and Standards in Hardware Description Languages", *Kluwer Academic Publishers*, Italy, 79-108 (1993).
18. Kevin, B., "Silent Films: What Was the Right Speed?", *Sight and Sound, Summer, United States*, 164-167 (1980).
19. ISO/DIS 9241-11, "Ergonomic requirements for office work with visual display terminals (VDTs)", *Guidance on usability*, Switzerland, (1997).
20. Bevan, N., "Human-Computer Interaction Standards", *Proceedings of the 6th International Conference on Human-Computer Interaction*, Yokohama, 885-890 (1995).
21. Battleson, B., Booth, A., Weintrop, J., "Usability testing of an academic library web site: a case study." ,*The Journal of Academic Librarianship*, 27 (3): 188-198 (2001).

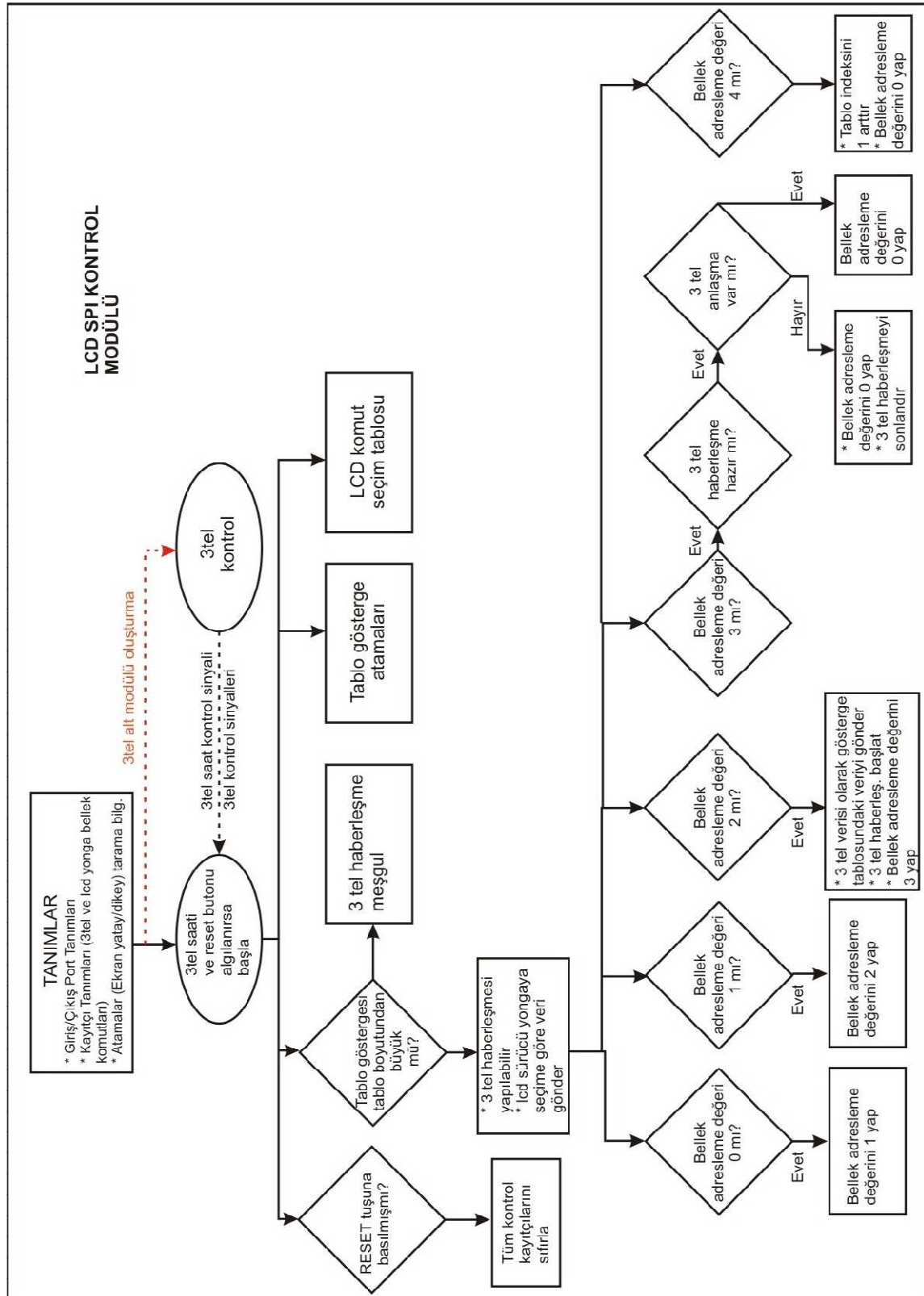
22. Lewis, C., Polson, P.G., Wharton, C., Rieman, J., “Testing a Walkthrough Methodology for Theory-Based Design of Walk-Up-and-Use Interfaces”, *Conference on Human Factors in Computing Systems*, United States, 235-242 (1990).
23. Nielsen, J., “Usability Engineering”, *Morgan Kaufmann*, San Francisco, 40-65 (1994).
24. Gürses, E., “Web sitelerinde kullanılabilirlik çalışmaları ve kullanılabilirlik değerlendirme yöntemleri”, *Akademik Bilişim*, Adana , 25-81 (2005).
25. Nielsen, J., Molich, R., “Heuristic evaluation of user interfaces”, *Proc. ACM CHI'90 Conf.*, Seattle, 249-256 (1990).
26. Nielsen, J., Landauer, T. K., “A mathematical model of the finding of usability problems”, *Proceedings ACM/IFIP INTERCHI'93 Conference*, Amsterdam, 206-213 (1993).
27. Faulkner, L., “Beyond the five-user assumption: Benefits of increased sample sizes in usability testing. Behavior Research Methods”, *Instruments and Computers*, 35 (3): 379-383 (2003).
28. İnternet: Türk Dil Kurumu “Veteriner Hekimliği Terimleri Sözlüğü” <http://tdkterim.gov.tr/bts/?kategori=verilst&kelime=anket&ayn=tam> (2010).
29. İnternet: Türk Dil Kurumu “Güncel Türkçe Sözlük” <http://tdkterim.gov.tr/bts/?kategori=verilst&kelime=g%F6zlem&ayn=tam> (2010).

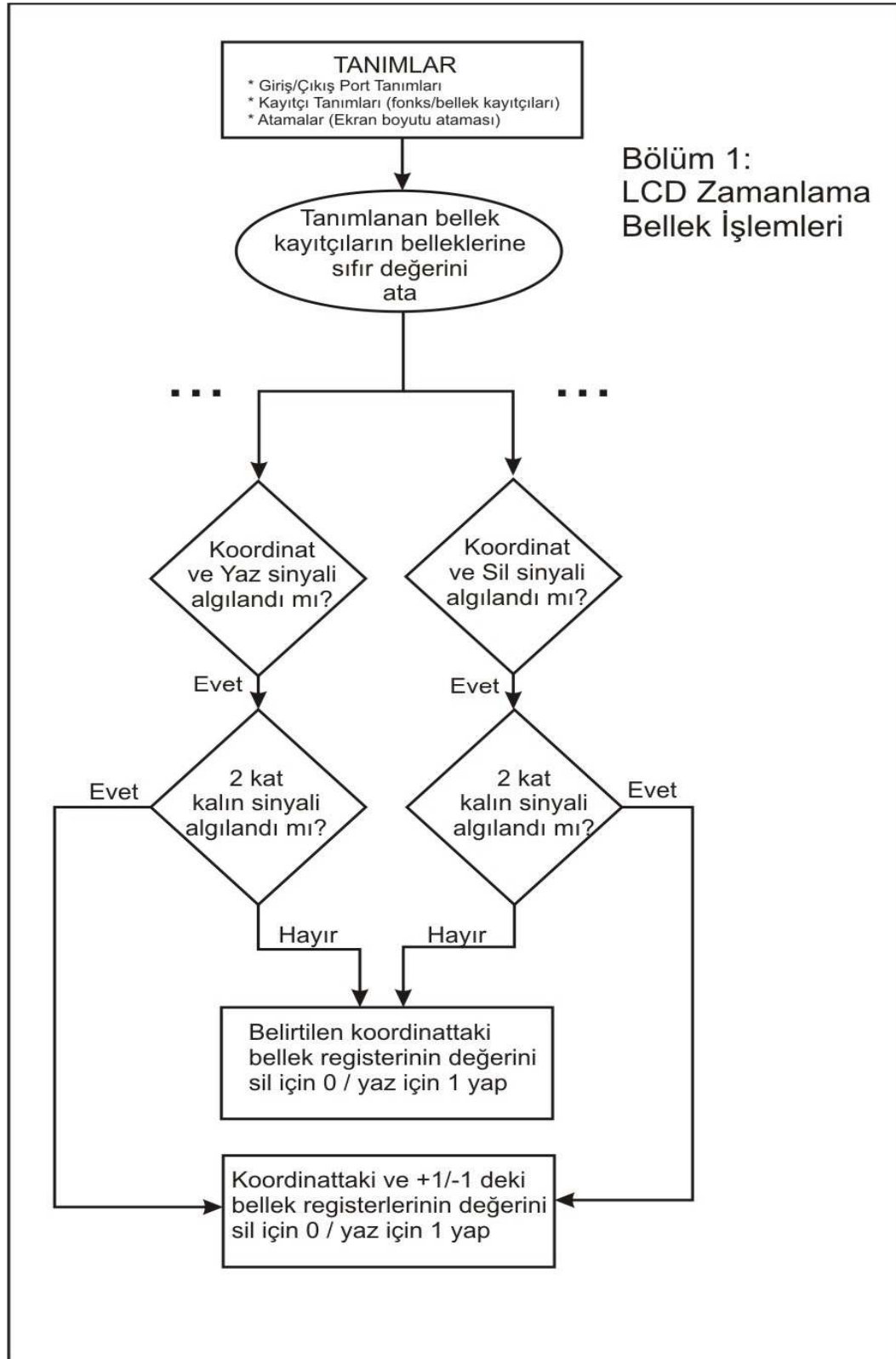
EKLER

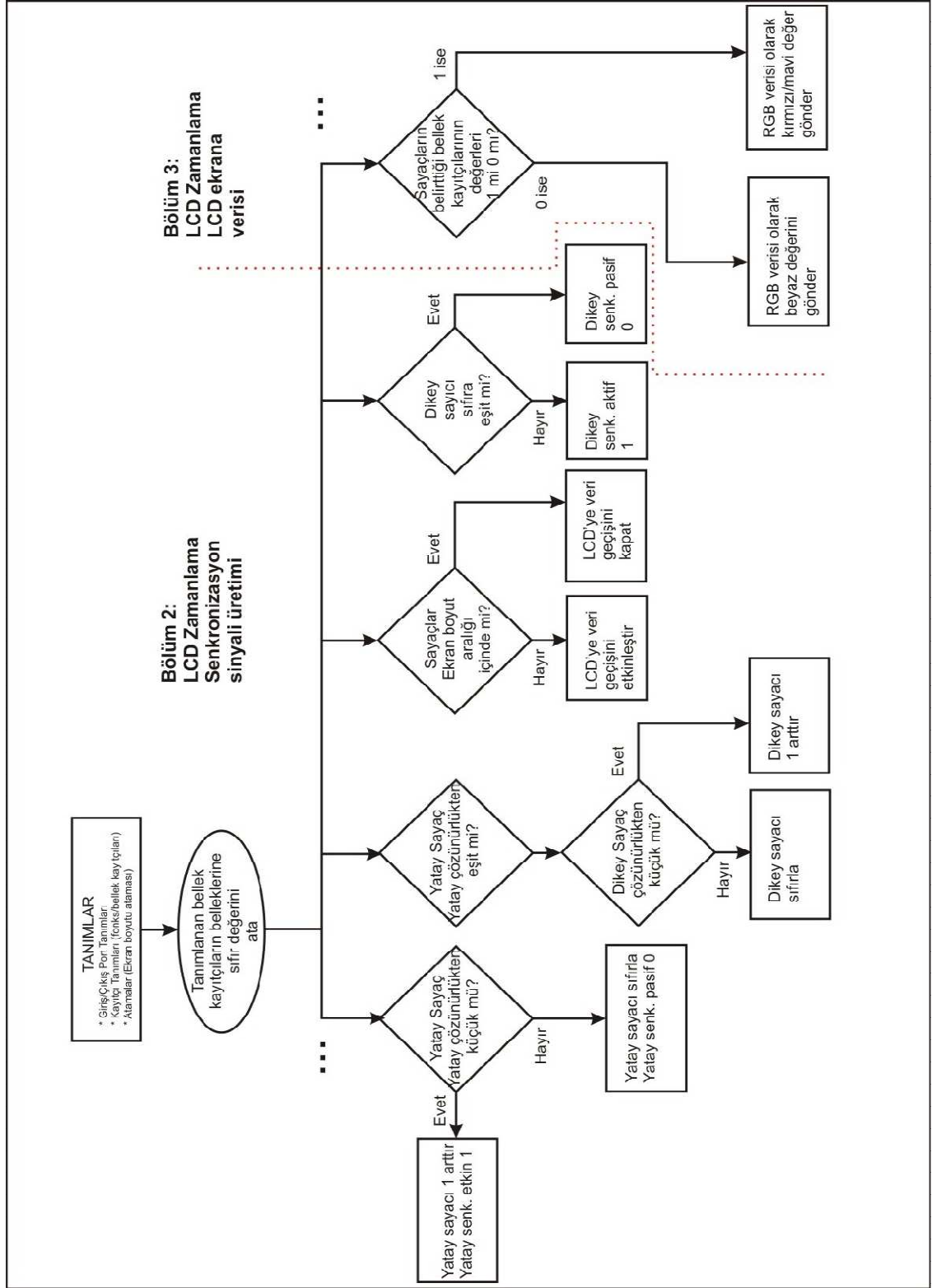
EK-1 PROJE ALGORİTMA BİLGİSİ

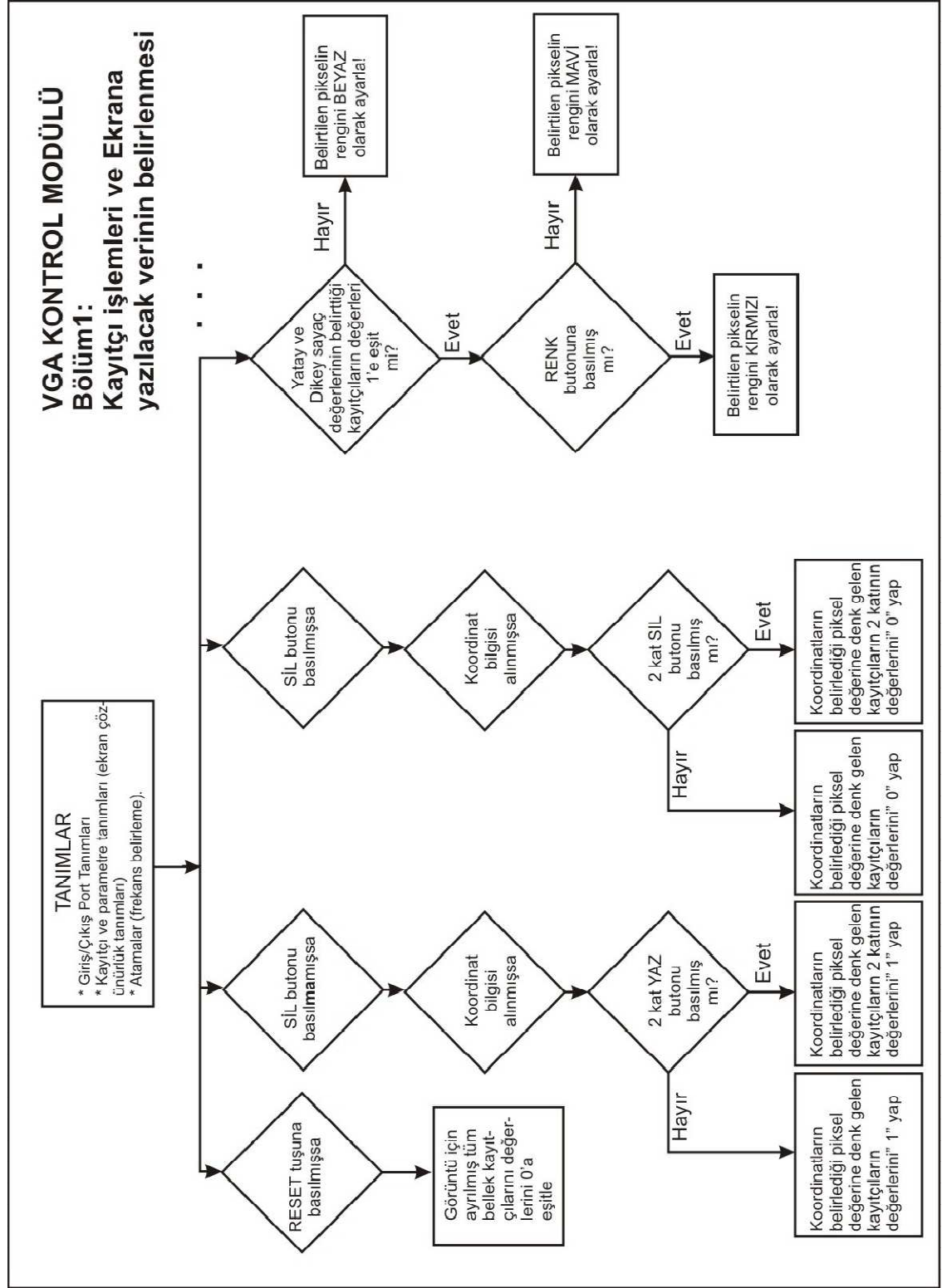


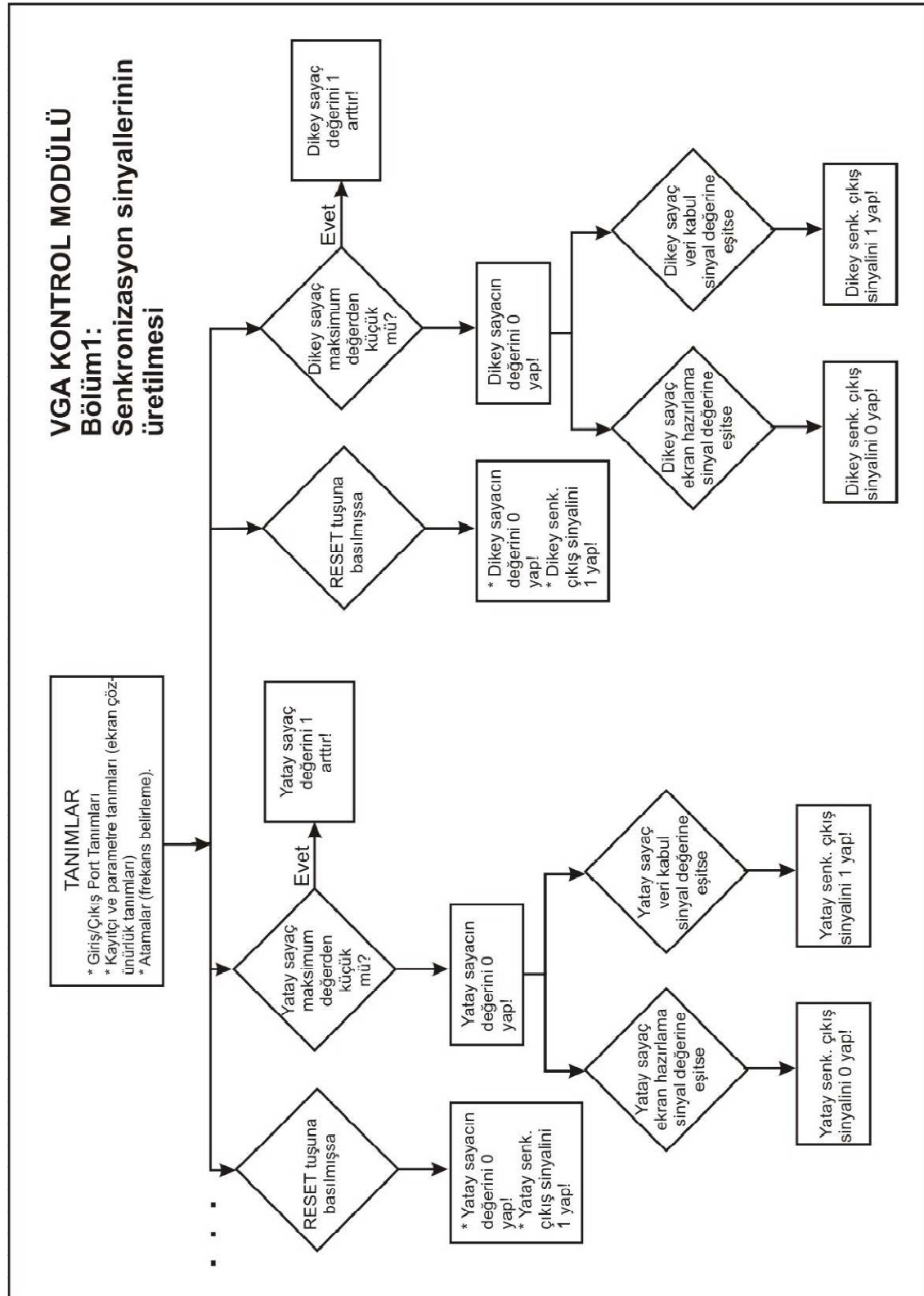




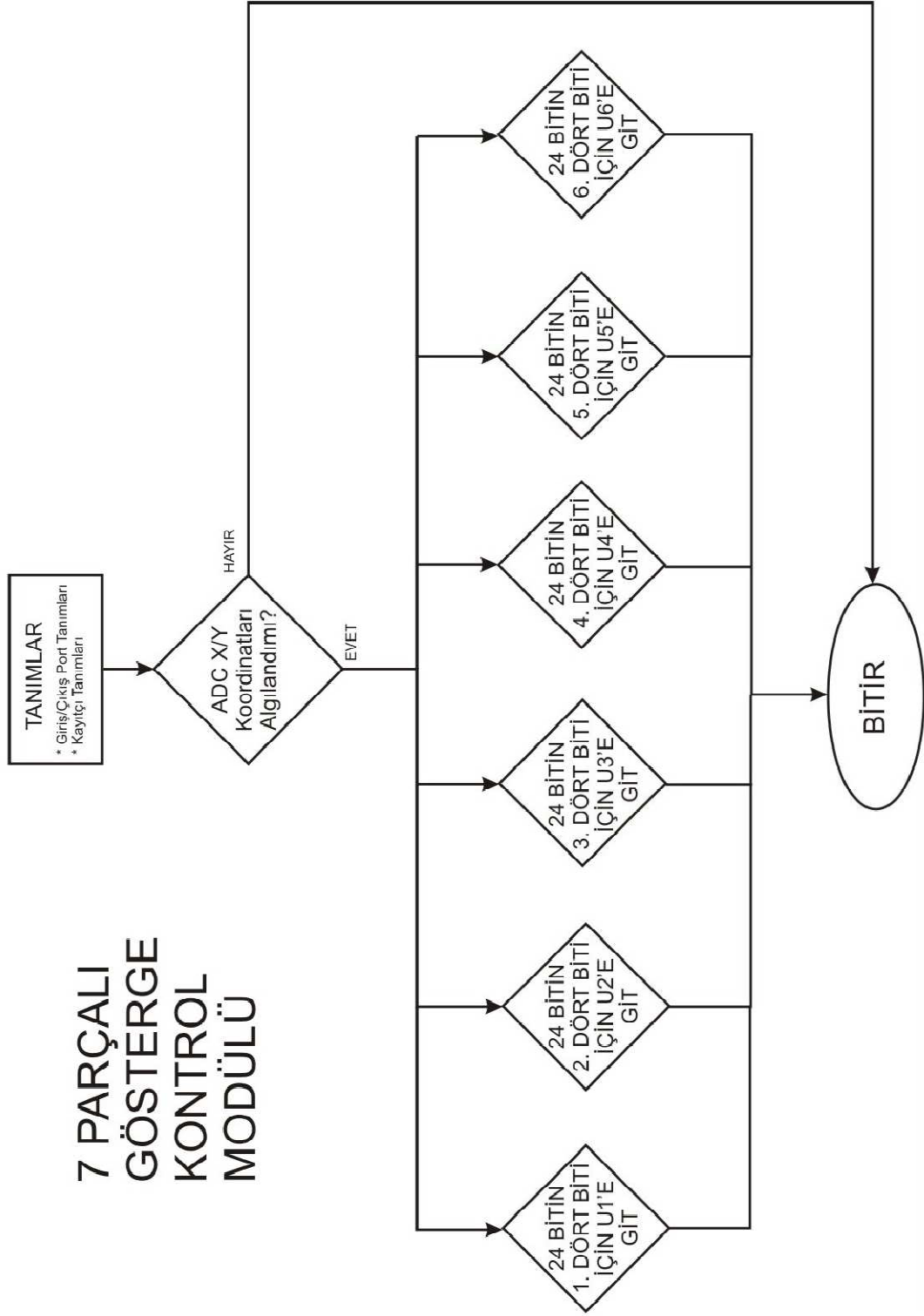




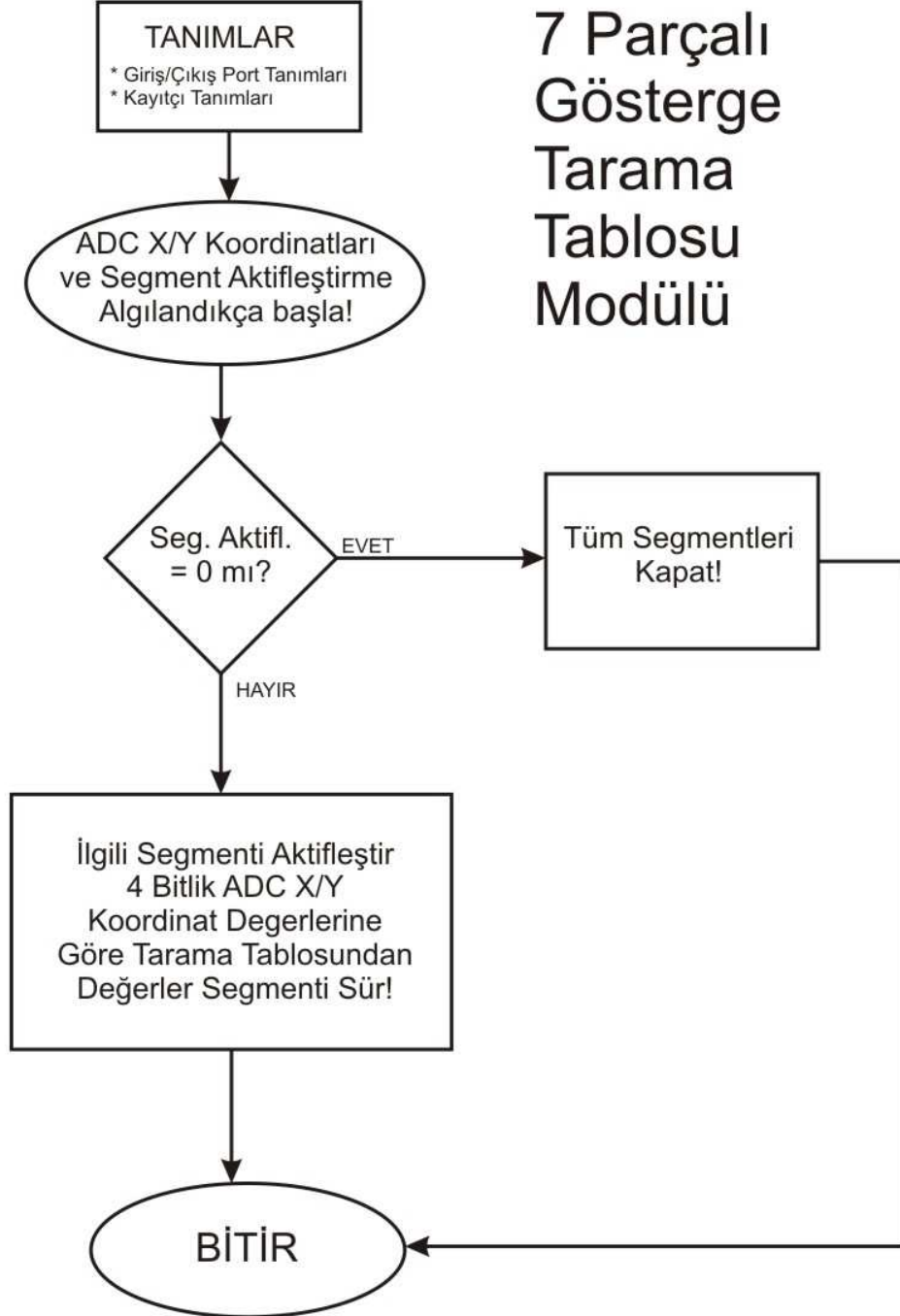




7 PARÇALI GÖSTERGE KONTROL MODÜLÜ



7 Parçalı Gösterge Tarama Tablosu Modülü



Date: December 13, 2009

DE2_70_LTM_TEST.v

Project: DE2_70_LTM_TEST

```

56 input      iCLK_50;
57 input [3:0] iKEY;
58 input [17:0] iSW;
59
60 // 7 parçalı göstergeler
61 output [6:0] oHEX0_D;
62 output      oHEX0_DP;
63 output [6:0] oHEX1_D;
64 output      oHEX1_DP;
65 output [6:0] oHEX2_D;
66 output      oHEX2_DP;
67 output [6:0] oHEX3_D;
68 output      oHEX3_DP;
69 output [6:0] oHEX4_D;
70 output      oHEX4_DP;
71 output [6:0] oHEX5_D;
72 output      oHEX5_DP;
73 output [6:0] oHEX6_D;
74 output      oHEX6_DP;
75 output [6:0] oHEX7_D;
76 output      oHEX7_DP;
77
78 // VGA
79 output      oVGA_CLOCK;           // VGA Clock
80 output      oVGA_HS;              // VGA H_SYNC
81 output      oVGA_VS;              // VGA V_SYNC
82 output      oVGA_BLANK_N;         // VGA BLANK
83 output      oVGA_SYNC_N;         // VGA SYNC
84 output [9:0] oVGA_R;              // VGA Red[9:0]
85 output [9:0] oVGA_G;              // VGA Green[9:0]
86 output [9:0] oVGA_B;              // VGA Blue[9:0]
87
88 // 40 Pinli Header
89 inout [31:0] GPIO_0;
90 input      GPIO_CLKIN_N0;
91 input      GPIO_CLKIN_P0;
92 inout      GPIO_CLKOUT_N0;
93 inout      GPIO_CLKOUT_P0;
94
95
96 //ssssssssssssssssssssssssssssssssssssssssssssssssssssssssssssss
97 // REG/WIRE Tanımlaları
98 //ssssssssssssssssssssssssssssssssssssssssssssssssssssssssssssss
99
100 // Dokunmatik panel sinyalleri
101 wire [7:0] ltm_r;
102 wire [7:0] ltm_g;
103 wire [7:0] ltm_b;
104 wire      ltm_nclk;
105 wire      ltm_hd;
106 wire      ltm_vd;
107 wire      ltm_den;
108 wire      ltm_grst;
109 // lcd 3tel arayüzü
110 wire      ltm_sclk;

```

Revision: DE2 70 LTM TEST

Date: December 13, 2009

DE2_70_LTM_TEST.v

Project: DE2_70_LTM_TEST

```

166 assign GPIO_0[12] =ltm_b[5];
167 assign GPIO_0[13] =ltm_b[6];
168 assign GPIO_CLKOUT_N0 =ltm_b[7];
169 assign GPIO_0[14] =ltm_g[0];
170 assign GPIO_CLKOUT_P0 =ltm_g[1];
171 assign GPIO_0[15] =ltm_g[2];
172 assign GPIO_0[16] =ltm_g[3];
173 assign GPIO_0[17] =ltm_g[4];
174 assign GPIO_0[18] =ltm_g[5];
175 assign GPIO_0[19] =ltm_g[6];
176 assign GPIO_0[20] =ltm_g[7];
177 assign GPIO_0[21] =ltm_r[0];
178 assign GPIO_0[22] =ltm_r[1];
179 assign GPIO_0[23] =ltm_r[2];
180 assign GPIO_0[24] =ltm_r[3];
181 assign GPIO_0[25] =ltm_r[4];
182 assign GPIO_0[26] =ltm_r[5];
183 assign GPIO_0[27] =ltm_r[6];
184 assign GPIO_0[28] =ltm_r[7];
185 assign GPIO_0[29] =ltm_grst;
186 assign GPIO_0[30] =ltm_scen;
187 assign GPIO_0[31] =ltm_sda;
188 assign adc_ltm_sclk = ( adc_dclk & ltm_3wirebusy_n ) | ( ~
ltm_3wirebusy_n & ltm_sclk );
189 assign ltm_nclk = div[0]; // 25 Mhz
190 assign ltm_grst = iKEY[0];
191 assign {oHEX0_DP,oHEX1_DP,oHEX2_DP,oHEX3_DP,oHEX4_DP,oHEX5_DP,
oHEX6_DP,oHEX7_DP}=8'hff;

192
193 always @(posedge iCLK_50)
194     begin
195         div <= div+1;
196     end
197
198
199 //ssssssssssssssssssssssssssssssssssssssssssssssssssssssssssssss
200 ///SSSSSSSSSSSS---MODÜLLER---SSSSSSSS///
201 //ssssssssssssssssssssssssssssssssssssssssssssssssssssssssssss
202
203 // 7 PARÇALI GÖSTERGE KONTROL MODÜLÜ
204 SEG7_KONTROL      u1 (
205     .oSEG0(oHEX0_D),
206     .oSEG1(oHEX1_D),
207     .oSEG2(oHEX2_D),
208     .oSEG3(oHEX3_D),
209     .oSEG4(oHEX4_D),
210     .oSEG5(oHEX5_D),
211     .oSEG6(oHEX6_D),
212     .oSEG7(oHEX7_D),
213     .iDIG({ 4'h0 , x_coord , 4'h0 , y_coord } ),
214     .ON_OFF(8'b01110111)
215 );
216
217 // LCD SPI (3 TEL) KONTROL MODÜLÜ
218 LCD_SPI_KONTROL    u2 (

```

Date: December 13, 2009

DE2_70_LTM_TEST.v

Project: DE2_70_LTM_TEST

```

219         .iCLK(iCLK_50),
220         .iRST_n(DLY0),
221         .o3WIRE_SCLK(ltm_sclk),
222         .io3WIRE_SDAT(ltm_sda),
223         .o3WIRE_SCEN(ltm_scen),
224         .o3WIRE_BUSY_n(ltm_3wirebusy_n)
225     );
226
227     // GECİKME KONTROL MODÜLÜ //
228     GECIKME_KONTROL    u3  (.iCLK(iCLK_50),
229                             .iRST(iKEY[0]),
230                             .oRST_0(DLY0),
231                             .oRST_1(DLY1),
232                             .oRST_2(DLY2)
233     );
234
235     // ADC SPI KONTROL MODÜLÜ
236     ADC_SPI_KONTROL    u4  (
237         .iCLK(iCLK_50),
238         .iRST_n(DLY0),
239         .oADC_DIN(adc_din),
240         .oADC_DCLK(adc_dclk),
241         .oADC_CS(adc_cs),
242         .iADC_DOUT(adc_dout),
243         .iADC_BUSY(adc_busy),
244         .iADC_PENIRQ_n(adc_penirq_n),
245         .oTOUCH_IRQ(touch_irq),
246         .oX_COORD(x_coord),
247         .oY_COORD(y_coord),
248         .oNEW_COORD(new_coord),
249     );
250
251     // GLCD ZAMANLAMA KONTROL MODÜLÜ
252     LCD_ZAMANLAMA_KONTROL u6  (
253         .iCLK(ltm_ncclk),
254         .iRST_n(DLY2),
255         .oLCD_R(ltm_r),
256         .oLCD_G(ltm_g),
257         .oLCD_B(ltm_b),
258         .oHD(ltm_hd),
259         .oVD(ltm_vd),
260         .oDEN(ltm_den),
261         .iDISPLAY_MODE(display_mode),
262         .i2X_COORD(x_coord),
263         .i2Y_COORD(y_coord),
264         .iSIL_BUTONU (iSW[0]),
265         .i2K_KALIN(iSW[1]),
266         .iRENK1(iSW[2]),
267     );
268
269     // VGA KONTROL MODÜLÜ
270     VGA_KONTROL        u7  (
271         .i3X_COORD(x_coord),
272         .i3Y_COORD(y_coord),
273         .i2SIL_BUTONU (iSW[0]),

```

Date: December 13, 2009

DE2_70_LTM_TEST.v

Project: DE2_70_LTM_TEST

```
274         .i2K2_KALIN(iSW[1]),
275         .i2RENK1(iSW[2]),
276         .oVGA_R(oVGA_R),
277         .oVGA_G(oVGA_G),
278         .oVGA_B(oVGA_B),
279         .oVGA_HS(oVGA_HS),
280         .oVGA_VS(oVGA_VS),
281         .oVGA_SYNC(oVGA_SYNC_N),
282         .oVGA_BLANK(oVGA_BLANK_N),
283         .oVGA_CLOCK(oVGA_CLOCK),
284         .iCLK(ltm_nclk),
285         .iRST_N(DLY2) );
286
287
288     endmodule
289
290
```

7 Parçalı Gösterge Kontrol Modülü:

Date: December 13, 2009

SEG7_KONTROL.v

Project: DE2_70_LTM_TEST

```

1  //>>
2  module SEG7_KONTROL (
3      output [6:0] oSEG0,
4      output [6:0] oSEG1,
5      output [6:0] oSEG2,
6      output [6:0] oSEG3,
7      output [6:0] oSEG4,
8      output [6:0] oSEG5,
9      output [6:0] oSEG6,
10     output [6:0] oSEG7,
11     input [31:0] iDIG,
12     input [7:0] ON_OFF
13 );
14 //7-Seg 0//
15 SEG7_LUT u0(
16     .iDIG (iDIG[3:0]),
17     .oSEG (oSEG0),
18     .ON_OFF(ON_OFF[0])
19 );
20 //7-Seg 1//
21 SEG7_LUT u1(
22     .iDIG (iDIG[7:4]),
23     .oSEG (oSEG1),
24     .ON_OFF(ON_OFF[1])
25 );
26 //7-Seg 2//
27 SEG7_LUT u2(
28     .iDIG (iDIG[11:8]),
29     .oSEG (oSEG2),
30     .ON_OFF(ON_OFF[2])
31 );
32 //7-Seg 3//
33 SEG7_LUT u3(
34     .iDIG (iDIG[15:12]),
35     .oSEG (oSEG3),
36     .ON_OFF(ON_OFF[3])
37 );
38 //7-Seg 4//
39 SEG7_LUT u4(
40     .iDIG (iDIG[19:16]),
41     .oSEG (oSEG4),
42     .ON_OFF(ON_OFF[4])
43 );
44 //7-Seg 5//
45 SEG7_LUT u5(
46     .iDIG (iDIG[23:20]),
47     .oSEG (oSEG5),
48     .ON_OFF(ON_OFF[5])
49 );
50 //7-Seg 6//
51 SEG7_LUT u6(
52     .iDIG (iDIG[27:24]),
53     .oSEG (oSEG6),
54     .ON_OFF(ON_OFF[6])
55 );

```

Date: December 13, 2009

SEG7_KONTROL.v

Project: DE2_70_LTM_TEST

```
56 //7-Seg 7//
57     SEG7_LUT u7(
58         .iDIG  (iDIG[31:28]),
59         .oSEG  (oSEG7),
60         .ON_OFF(ON_OFF[7])
61     );
62 endmodule
63 //<<
```

7 Parçalı Gösterge Değer Çizelgesi Modülü

Date: December 13, 2009

SEG7_LUT.v

Project: DE2_70_LTM_TEST

```

1  module SEG7_LUT (
2      input    [3:0]iDIG,
3      output reg [6:0]oSEG,
4      input    ON_OFF
5  );
6
7      always @({iDIG,ON_OFF})begin
8          if (!ON_OFF)
9              oSEG=7'b1111111;
10         else begin
11             case(iDIG)
12                 4'h1: oSEG = 7'b1111001; // ---t---
13                 4'h2: oSEG = 7'b0100100; // |       |
14                 4'h3: oSEG = 7'b0110000; // lt      rt
15                 4'h4: oSEG = 7'b0011001; // |       |
16                 4'h5: oSEG = 7'b0010010; // ---m---
17                 4'h6: oSEG = 7'b0000010; // |       |
18                 4'h7: oSEG = 7'b1111000; // lb      rb
19                 4'h8: oSEG = 7'b0000000; // |       |
20                 4'h9: oSEG = 7'b0011000; // ---b---
21                 4'ha: oSEG = 7'b0001000;
22                 4'hb: oSEG = 7'b0000011;
23                 4'hc: oSEG = 7'b1000110;
24                 4'hd: oSEG = 7'b0100001;
25                 4'he: oSEG = 7'b0000110;
26                 4'hf: oSEG = 7'b0001110;
27                 4'h0: oSEG = 7'b1000000;
28             endcase
29         end
30     end
31
32 endmodule
33

```

LCD SPI Kontrol Modülü:

Date: December 13, 2009

LCD_SPI_KONTROL.v

Project: DE2_70_LTM_TEST

```

1
2  module LCD_SPI_KONTROL (
3
4      iCLK,
5      iRST_n,
6      o3WIRE_SCLK,
7      io3WIRE_SDAT,
8      o3WIRE_SCEN,
9      o3WIRE_BUSY_n
10     );
11 //
12 // PARAMETRE TANIMLAMALARI
13 //
14 parameter LUT_SIZE = 20; // TOPLAM AYARLAMA KAYITÇILARI SAYISI
15 //
16 // PORT TANIMLAMALARI
17 //
18 output      o3WIRE_BUSY_n;
19 input       iCLK;
20 input       iRST_n;
21 output      o3WIRE_SCLK;
22 inout      io3WIRE_SDAT;
23 output      o3WIRE_SCEN;
24
25 //
26 // REG/WIRE TANIMLAMALARI
27 //
28 reg         m3wire_str;
29 wire        m3wire_rdy;
30 wire        m3wire_ack;
31 wire        m3wire_clk;
32 reg [15:0]  m3wire_data;
33 reg [15:0]  lut_data;
34 reg [5:0]   lut_index;
35 reg [3:0]   msetup_st;
36 reg         o3WIRE_BUSY_n;
37 wire        v_reverse;
38 wire        h_reverse;
39 wire [9:0]  g0;
40 wire [9:0]  g1;
41 wire [9:0]  g2;
42 wire [9:0]  g3;
43 wire [9:0]  g4;
44 wire [9:0]  g5;
45 wire [9:0]  g6;
46 wire [9:0]  g7;
47 wire [9:0]  g8;
48 wire [9:0]  g9;
49 wire [9:0]  g10;
50 wire [9:0]  g11;
51
52 //
53 // ATAMALAR
54

```

Date: December 13, 2009

LCD_SPI_KONTROL.v

Project: DE2_70_LTM_TEST

```

55  //
56
57  assign h_reverse = 1'b1;
58  assign v_reverse = 1'b0;
59
60
61  UC3_TEL_KONTROL      u0 (
62      .iCLK(iCLK),
63      .iRST(iRST_n),
64      .iDATA(m3wire_data),
65      .iSTR(m3wire_str),
66      .oACK(m3wire_ack),
67      .oRDY(m3wire_rdy),
68      .oCLK(m3wire_clk),
69      .oSCEN(o3WIRE_SCEN),
70      .SDA(io3WIRE_SDAT),
71      .oSCLK(o3WIRE_SCLK)
72  );
73
74  ////////////////////////////////// KONTROL //////////////////////////////////
75  always@(posedge m3wire_clk or negedge iRST_n)
76  begin
77      if(!iRST_n)
78      begin
79          lut_index    <= 0;
80          msetup_st    <= 0;
81          m3wire_str    <= 0;
82          o3WIRE_BUSY_n <= 0;
83      end
84      else
85      begin
86          if(lut_index<LUT_SIZE)
87          begin
88              o3WIRE_BUSY_n <= 0;
89              case(msetup_st)
90              0: begin
91                  msetup_st    <= 1;
92              end
93              1: begin
94                  msetup_st    <= 2;
95              end
96              2: begin
97                  m3wire_data <= lut_data;
98                  m3wire_str  <= 1;
99                  msetup_st   <= 3;
100             end
101             3: begin
102                 if(m3wire_rdy)
103                 begin
104                     if(m3wire_ack)
105                     msetup_st    <= 4;
106                     else
107                     msetup_st    <= 0;
108

```

Date: December 13, 2009

LCD_SPI_KONTROL.v

Project: DE2_70_LTM_TEST

```

109             m3wire_str <= 0;
110         end
111     end
112     4: begin
113         lut_index <= lut_index+1;
114         msetup_st <= 0;
115     end
116 endcase
117 end
118 else      o3WIRE_BUSY_n <= 1;
119 end
120 end
121
122 assign g0 =106;
123 assign g1 =200;
124 assign g2 =289;
125 assign g3 =375;
126 assign g4 =460;
127 assign g5 =543;
128 assign g6 =625;
129 assign g7 =705;
130 assign g8 =785;
131 assign g9 =864;
132 assign g10 = 942;
133 assign g11 = 1020;
134
135 ////////////////////////////////////////////////// VERİ TABLOSU
136 //////////////////////////////////////
137 always
138 begin
139     case(lut_index)
140         0      :   lut_data   <=   {6'h11,2'b01,g0[9:8],g1[9:8],g2[9:
141         8],g3[9:8]};
142         1      :   lut_data   <=   {6'h12,2'b01,g4[9:8],g5[9:8],g6[9:
143         8],g7[9:8]};
144         2      :   lut_data   <=   {6'h13,2'b01,g8[9:8],g9[9:8],g10[9
145         :8],g11[9:8]};
146         3      :   lut_data   <=   {6'h14,2'b01,g0[7:0]};
147         4      :   lut_data   <=   {6'h15,2'b01,g1[7:0]};
148         5      :   lut_data   <=   {6'h16,2'b01,g2[7:0]};
149         6      :   lut_data   <=   {6'h17,2'b01,g3[7:0]};
150         7      :   lut_data   <=   {6'h18,2'b01,g4[7:0]};
151         8      :   lut_data   <=   {6'h19,2'b01,g5[7:0]};
152         9      :   lut_data   <=   {6'h1a,2'b01,g6[7:0]};
153         10     :   lut_data   <=   {6'h1b,2'b01,g7[7:0]};
154         11     :   lut_data   <=   {6'h1c,2'b01,g8[7:0]};
155         12     :   lut_data   <=   {6'h1d,2'b01,g9[7:0]};
156         13     :   lut_data   <=   {6'h1e,2'b01,g10[7:0]};
157         14     :   lut_data   <=   {6'h1f,2'b01,g11[7:0]};
158         15     :   lut_data   <=   {6'h20,2'b01,4'hf,4'h0};
159         16     :   lut_data   <=   {6'h21,2'b01,4'hf,4'h0};
160         17     :   lut_data   <=   {6'h03, 2'b01, 8'hdf};
161         18     :   lut_data   <=   {6'h02, 2'b01, 8'h07};
162         19     :   lut_data   <=   {6'h04, 2'b01, 6'b000101,!

```

Date: December 13, 2009

LCD_SPI_KONTROL.v

Project: DE2_70_LTM_TEST

```
    v_reverse,!h_reverse);  
160     default : lut_data    <= 16'h0000;  
161     endcase  
162 end  
163 ///////////////////////////////////////  
164 /  
165 endmodule
```

LCD SPI 3 Tel Kontrol Modülü:

Date: December 13, 2009

UC3_TEL_KONTROL.v

Project: DE2_70_LTM_TEST

```

1
2
3  module UC3_TEL_KONTROL  (
4      iCLK,
5      iRST,
6      iDATA,
7      iSTR,
8      oACK,
9      oRDY,
10     oCLK,
11     oSCEN,
12     SDA,
13     oSCLK  );
14
15     input          iCLK;
16     input          iRST;
17     input          iSTR;
18     input  [15:0]  iDATA;
19     output         oACK;
20     output         oRDY;
21     output         oCLK;
22
23     output         oSCEN;
24     inout          SDA;
25     output         oSCLK;
26
27     reg            mSPI_CLK;
28     reg  [15:0]    mSPI_CLK_DIV;
29     reg            mSEN;
30     reg            mSDATA;
31     reg            mSCLK;
32     reg            mACK;
33     reg  [4:0]     mST;
34
35     parameter  CLK_Freq    = 50000000;  // 50 MHz
36     parameter  SPI_Freq    = 20000;      // 20 KHz
37
38     // Seri Clock Üretici
39     always@(posedge iCLK or negedge iRST)
40     begin
41         if(!iRST)
42         begin
43             mSPI_CLK    <=  0;
44             mSPI_CLK_DIV <=  0;
45         end
46         else
47         begin
48             if( mSPI_CLK_DIV  < (CLK_Freq/SPI_Freq) )
49                 mSPI_CLK_DIV  <=  mSPI_CLK_DIV+1;
50             else
51             begin
52                 mSPI_CLK_DIV  <=  0;
53                 mSPI_CLK      <=  ~mSPI_CLK;
54             end
55         end
56     end

```

Date: December 13, 2009

UC3_TEL_KONTROL.v

Project: DE2_70_LTM_TEST

```

56 end
57 // Paralelden Seriyeye
58 always@(negedge mSPI_CLK or negedge iRST)
59 begin
60     if(!iRST)
61     begin
62         mSEN    <= 1'b1;
63         mSCLK   <= 1'b0;
64         mSDATA  <= 1'bz;
65         mACK    <= 1'b0;
66         mST     <= 4'h00;
67     end
68     else
69     begin
70         if(iSTR)
71         begin
72             if(mST<17)
73                 mST <= mST+1'b1;
74             if(mST==0)
75             begin
76                 mSEN    <= 1'b0;
77                 mSCLK   <= 1'b1;
78             end
79             else if(mST==8)
80                 mACK    <= SDA;
81             else if(mST==16 && mSCLK)
82             begin
83                 mSEN    <= 1'b1;
84                 mSCLK   <= 1'b0;
85             end
86             if(mST<16)
87                 mSDATA <= iDATA[15-mST];
88         end
89     else
90     begin
91         mSEN    <= 1'b1;
92         mSCLK   <= 1'b0;
93         mSDATA  <= 1'bz;
94         mACK    <= 1'b0;
95         mST     <= 4'h00;
96     end
97 end
98 end
99
100 assign oACK      = mACK;
101 assign oRDY      = (mST==17) ? 1'b1 : 1'b0;
102 assign oSCEN     = mSEN;
103 assign oSCLK     = mSCLK & mSPI_CLK;
104 assign SDA = (mST==8) ? 1'bz :
105               (mST==17) ? 1'bz :
106                       mSDATA ;
107 assign oCLK      = mSPI_CLK;
108
109 endmodule

```

Gecikme Kontrol Modülü:

Date: December 13, 2009

GECIKME_KONTROL.v

Project: DE2_70_LTM_TEST

```

1  module  GECIKME_KONTROL  (iCLK,iRST,oRST_0,oRST_1,oRST_2);
2  input   iCLK;
3  input   iRST;
4  output reg  oRST_0;
5  output reg  oRST_1;
6  output reg  oRST_2;
7
8  reg [21:0]  Cont;
9
10 always@(posedge iCLK or negedge iRST)
11 begin
12     if(!iRST)
13     begin
14         Cont    <=  0;
15         oRST_0  <=  0;
16         oRST_1  <=  0;
17         oRST_2  <=  0;
18     end
19     else
20     begin
21         if(Cont!=22'h3FFFFFF)
22             Cont    <=  Cont+1;
23         if(Cont>=22'h1FFFFFF)
24             oRST_0  <=  1;
25         if(Cont>=22'h2FFFFFF)
26             oRST_1  <=  1;
27         if(Cont>=22'h3FFFFFF)
28             oRST_2  <=  1;
29     end
30 end
31
32 endmodule

```

ADC SPI Kontrol Modülü:

Date: December 13, 2009

ADC_SPI_KONTROL.v

Project: DE2_70_LTM_TEST

```

1
2 module ADC_SPI_KONTROL (
3     iCLK,
4     iRST_n,
5     oADC_DIN,
6     oADC_DCLK,
7     oADC_CS,
8     iADC_DOUT,
9     iADC_BUSY,
10    iADC_PENIRQ_n,
11    oTOUCH_IRQ,
12    oX_COORD,
13    oY_COORD,
14    oNEW_COORD,
15    );
16
17 //
18 // PARAMETRE TANIMLAMALARI
19 //
20 parameter SYSCLK_FRQ = 50000000;
21 parameter ADC_DCLK_FRQ = 1000;
22 parameter ADC_DCLK_CNT = SYSCLK_FRQ/(ADC_DCLK_FRQ*2);
23
24 //
25 // PORT TANIMLAMALARI
26 //
27 input          iCLK;
28 input          iRST_n;
29 input          iADC_DOUT;
30 input          iADC_PENIRQ_n;
31 input          iADC_BUSY;
32 output         oADC_DIN;
33 output         oADC_DCLK;
34 output         oADC_CS;
35 output         oTOUCH_IRQ;
36 output [11:0]  oX_COORD;
37 output [11:0]  oY_COORD;
38 output         oNEW_COORD;
39
40 //
41 // REG/WIRE TANIMLAMALARI
42 //
43 reg            d1_PENIRQ_n;
44 reg            d2_PENIRQ_n;
45 wire           touch_irq;
46 reg [15:0]     dclk_cnt;
47 wire           dclk;
48 reg            transmit_en;
49 reg [6:0]      spi_ctrl_cnt;
50 wire           oADC_CS;
51 reg            mcs;
52 reg            mdclk;
53 wire [7:0]     x_config_reg;
54 wire [7:0]     y_config_reg;
55 wire [7:0]     ctrl_reg;

```

Date: December 13, 2009

ADC_SPI_KONTROL.v

Project: DE2_70_LTM_TEST

```

56 reg      [7:0]  mdata_in;
57 reg      y_coordinate_config;
58 wire     eof_transmission;
59 reg      [5:0]  bit_cnt;
60 reg      madc_out;
61 reg      [11:0] mx_coordinate;
62 reg      [11:0] my_coordinate;
63 reg      [11:0] oX_COORD;
64 reg      [11:0] oY_COORD;
65 wire     rd_coord_strob;
66 reg      oNEW_COORD;
67 reg      [5:0]  irq_cnt;
68 reg      [15:0] clk_cnt;
69
70 //
71 // ATAMALAR
72 //
73 assign x_config_reg = 8'h92;
74 assign y_config_reg = 8'hd2;
75
76 always@(posedge iCLK or negedge iRST_n)
77 begin
78     if (!iRST_n)
79         madc_out <= 0;
80     else
81         madc_out <= iADC_DOUT;
82     end
83
84 // KALEM ALGILAMA
85 always@(posedge iCLK or negedge iRST_n)
86 begin
87     if (!iRST_n)
88         begin
89             d1_PENIRQ_n <= 0;
90             d2_PENIRQ_n <= 0;
91         end
92     else
93         begin
94             d1_PENIRQ_n <= iADC_PENIRQ_n;
95             d2_PENIRQ_n <= d1_PENIRQ_n;
96         end
97     end
98
99 // Eğer iADC_PENIRQ_n high'tan low'a geçerse, touch_irq high olur
100 assign touch_irq = d2_PENIRQ_n & ~d1_PENIRQ_n;
101 assign oTOUCH_IRQ = touch_irq;
102 // Eğer touch_irq high olursa, iletim başlar ,transmit_en high olur
103 // Eğer iletim biterse ve penirq sinyali yoksa
104 // iletişim sonlanır.
105
106 always@(posedge iCLK or negedge iRST_n)
107 begin
108     if (!iRST_n)
109         transmit_en <= 0;
110     else if (eof_transmission&&~iADC_PENIRQ_n)

```

Date: December 13, 2009

ADC_SPI_KONTROL.v

Project: DE2_70_LTM_TEST

```

111         transmit_en <= 0;
112     else if (touch_irq)
113         transmit_en <= 1;
114     end
115
116     always@(posedge iCLK or negedge iRST_n)
117     begin
118         if (!iRST_n)
119             dclk_cnt <= 0;
120         else if (transmit_en)
121             begin
122                 if (dclk_cnt == ADC_DCLK_CNT)
123                     dclk_cnt <= 0;
124                 else
125                     dclk_cnt <= dclk_cnt + 1;
126             end
127         else
128             dclk_cnt <= 0;
129     end
130
131     assign dclk = (dclk_cnt == ADC_DCLK_CNT)? 1 : 0;
132
133     always@(posedge iCLK or negedge iRST_n)
134     begin
135         if (!iRST_n)
136             spi_ctrl_cnt <= 0;
137         else if (dclk)
138             begin
139                 if (spi_ctrl_cnt == 65)
140                     spi_ctrl_cnt <= 0;
141                 else
142                     spi_ctrl_cnt <= spi_ctrl_cnt + 1;
143             end
144     end
145
146     always@(posedge iCLK or negedge iRST_n)
147     begin
148         if (!iRST_n)
149             begin
150                 mcs <= 1;
151                 mdclk <= 0;
152                 mdata_in <= 0;
153                 y_coordinate_config <= 0;
154                 mx_coordinate <= 0;
155                 my_coordinate <= 0;
156             end
157         else if (transmit_en)
158             begin
159                 if (dclk)
160                     begin
161                         if (spi_ctrl_cnt == 0)
162                             begin
163                                 mcs <= 0;
164                                 mdata_in <= ctrl_reg;
165                             end

```

Date: December 13, 2009

ADC_SPI_KONTROL.v

Project: DE2_70_LTM_TEST

```

166         else if (spi_ctrl_cnt == 49)
167             begin
168                 mdclk    <= 0;
169                 y_coordinate_config <= ~
y_coordinate_config;
170
171                 if (y_coordinate_config)
172                     mcs    <= 1;
173                 else
174                     mcs    <= 0;
175             end
176         else if (spi_ctrl_cnt != 0)
177             mdclk    <= ~mdclk;
178         if (mdclk)
179             mdata_in <= {mdata_in[6:0],1'b0};
180         if (!mdclk)
181             begin
182                 if(rd_coord_strob)
183                     begin
184                         if(y_coordinate_config)
185                             my_coordinate <= {
my_coordinate[10:0],madc_out};
186                     else
187                         mx_coordinate <= {
mx_coordinate[10:0],madc_out};
188                     end
189                 end
190             end
191         end
192     end
193
194     assign oADC_CS = mcs;
195     assign oADC_DIN = mdata_in[7];
196     assign oADC_DCLK = mdclk;
197     assign ctrl_reg = y_coordinate_config ? y_config_reg :
x_config_reg;
198
199     assign eof_transmission = (y_coordinate_config & (spi_ctrl_cnt ==
49) & dclk);
200
201     assign rd_coord_strob = ((spi_ctrl_cnt>=19)&&(spi_ctrl_cnt<=41))
? 1 : 0;
202
203     always@(posedge iCLK or negedge iRST_n)
204     begin
205         if (!iRST_n)
206             begin
207                 oX_COORD <= 0;
208                 oY_COORD <= 0;
209             end
210         else if (eof_transmission&&(my_coordinate!=0))
211             begin
212                 oX_COORD <= mx_coordinate;
213                 oY_COORD <= my_coordinate;
214             end

```

Date: December 13, 2009

ADC_SPI_KONTROL.v

Project: DE2_70_LTM_TEST

```
215     end
216
217     always@(posedge iCLK or negedge iRST_n)
218     begin
219         if (!iRST_n)
220             oNEW_COORD <= 0;
221         else if (eof_transmission && (my_coordinate != 0))
222             oNEW_COORD <= 1;
223         else
224             oNEW_COORD <= 0;
225     end
226
227 endmodule
```

LCD Zamanlama Kontrol Modülü:

Date: December 13, 2009

LCD_ZAMANLAMA_KONTROL.v

Project: DE2_70_LTM_TEST

```

1
2  module LCD_ZAMANLAMA_KONTROL      (
3
4      iCLK,
5      iRST_n,
6      oHD,
7      oVD,
8      oDEN,
9      oLCD_R,
10     oLCD_G,
11     oLCD_B,
12     i2X_COORD,
13     i2Y_COORD,
14     iSIL_BUTONU,
15     i2K_KALIN,
16     iRENK1,
17     iDISPLAY_MODE
18
19     );
20
21     //
22     // PARAMETRE TANIMLAMALARI
23     //
24     parameter H_LINE = 1056;
25     parameter V_LINE = 525;
26     parameter Hsync_Blank = 216;
27     parameter Hsync_Front_Porch = 40;
28     parameter Vertical_Back_Porch = 35;
29     parameter Vertical_Front_Porch = 10;
30
31     //
32     // PORT TANIMLAMALARI
33     //
34     input          iCLK;
35     input          iRST_n;
36     input          iSIL_BUTONU;
37     input          i2K_KALIN;
38     input          iRENK1;
39     output [7:0]   oLCD_R;
40     output [7:0]   oLCD_G;
41     output [7:0]   oLCD_B;
42     output         oHD;
43     output         oVD;
44     output         oDEN;
45     input  [1:0]   iDISPLAY_MODE;
46     input  [11:0]  i2X_COORD;
47     input  [11:0]  i2Y_COORD;
48     integer i;
49     integer k;
50
51     //
52     // REG/WIRE TANIMLAMALARI
53     //
54     reg    [11:0]  x_cnt;
55     reg    [9:0]   y_cnt;
56     wire   [7:0]   mred;

```

Date: December 13, 2009 LCD_ZAMANLAMA_KONTROL.v Project: DE2_70_LTM_TEST

```

56 wire [7:0] mgreen;
57 wire [7:0] mblue;
58 wire display_area;
59 reg mhd;
60 reg mvd;
61 reg mden;
62 reg oHD;
63 reg oVD;
64 reg oDEN;
65 reg [7:0] oLCD_R;
66 reg [7:0] oLCD_G;
67 reg [7:0] oLCD_B;
68 wire [1:0] msel;
69 reg [7:0] red_1;
70 reg [7:0] green_1;
71 reg [7:0] blue_1;
72 reg [7:0] graycnt;
73 reg [7:0] pattern_data;
74 reg[131:0] xy_coord_reg [0:131]; // veya 640 veya 800 olabilir
75
76
77
78 //=====
79 // ATAMALAR
80 //=====
81
82
83 // LCD AKTİF ALAN
84 assign display_area = ((x_cnt>(Hsync_Blank-1))&& //>215
85 (x_cnt<(H_LINE-Hsync_Front_Porch))&& //<
1016
86 (y_cnt>(Vertical_Back_Porch-1))&&
87 (y_cnt<(V_LINE - Vertical_Front_Porch))
88 ) ? 1'b1 : 1'b0;
89
90
91 // BELLEK SIFIRLAMA
92 always@(posedge iCLK or negedge iRST_n)
93 begin
94 if (!iRST_n)
95 begin
96 for (i = 0; i < 131; i = i + 1) begin
97 for (k = 0; k < 131; k = k+1) begin
98 xy_coord_reg [k][i] <= 1'b0;
99 end
100 end
101 end
102
103 //BELLEĞE YAZMA
104 else if ((i2X_COORD != 0)&& (!iSIL_BUTONU))
105 begin
106 if (!i2K_KALIN)
107 begin

```

Date: December 13, 2009 LCD_ZAMANLAMA_KONTROL.v Project: DE2_70_LTM_TEST

```

108         xy_coord_reg [i2X_COORD/31][i2Y_COORD/37] <=1'b1;
109     end
110     else
111     begin
112         xy_coord_reg [i2X_COORD/31][i2Y_COORD/37] <=1'b1;
113         xy_coord_reg [i2X_COORD/31 - 1][i2Y_COORD/37] <=
114         1'b1;
115         xy_coord_reg [i2X_COORD/31 + 1][i2Y_COORD/37] <=
116         1'b1;
117     end
118 end
119
120 //BELLEKTEN SİLME
121
122     else if ((i2X_COORD != 0)&& (iSIL_BUTONU))
123     begin
124         if (!i2K_KALIN)
125         begin
126             xy_coord_reg [i2X_COORD/31][i2Y_COORD/37] <=1'b0;
127         end
128         else
129         begin
130             xy_coord_reg [i2X_COORD/31][i2Y_COORD/37] <=1'b0;
131             xy_coord_reg [i2X_COORD/31 - 1][i2Y_COORD/37] <=
132             1'b0;
133             xy_coord_reg [i2X_COORD/31 + 1][i2Y_COORD/37] <=
134             1'b0;
135         end
136     end
137 end
138
139
140 // X Y SAYACI VE LCD HD ÜRETECİ
141 always@(posedge iCLK or negedge iRST_n)
142
143     begin
144         if (!iRST_n)
145         begin
146             x_cnt <= 11'd0;
147             mhd <= 1'd0;
148         end
149         else if (x_cnt == (H_LINE-1))
150         begin
151             x_cnt <= 11'd0;
152             mhd <= 1'd0;
153         end
154         else
155         begin
156             x_cnt <= x_cnt + 11'd1;
157             mhd <= 1'd1;
158         end

```

Date: December 13, 2009

LCD_ZAMANLAMA_KONTROL.v

Project: DE2_70_LTM_TEST

```

159         end
160
161
162     always@(posedge iCLK or negedge iRST_n)
163     begin
164         if (!iRST_n)
165             y_cnt <= 10'd0;
166         else if (x_cnt == (H_LINE-1))
167             begin
168                 if (y_cnt == (V_LINE-1))
169                     y_cnt <= 10'd0;
170                 else
171                     y_cnt <= y_cnt + 10'd1;
172             end
173     end
174
175
176     always@(posedge iCLK or negedge iRST_n)
177     begin
178         if (!iRST_n)
179             mvd <= 1'b1;
180         else if (y_cnt == 10'd0)
181             mvd <= 1'b0;
182         else
183             mvd <= 1'b1;
184     end
185
186
187     always@(posedge iCLK or negedge iRST_n)
188     begin
189         if (!iRST_n)
190             mden <= 1'b0;
191         else if (display_area)
192             mden <= 1'b1;
193         else
194             mden <= 1'b0;
195     end
196
197
198
199
200     // LCD YE YAZMA
201
202
203     always@(posedge iCLK or negedge iRST_n)
204     begin
205         if (!iRST_n)
206             pattern_data <= 8'h00;
207
208         else if (xy_coord_reg [132-(y_cnt/4)] [132
209             -((x_cnt)/8) ] ==1'b1)
210             begin
211                 if (!iRENK1)
212                     begin
213                         red_1 <= 8'hff;

```

Date: December 13, 2009

LCD_ZAMANLAMA_KONTROL.v

Project: DE2_70_LTM_TEST

```

213             green_1 <= 8'h00;
214             blue_1 <= 8'h00;
215             end
216             else
217             begin
218             red_1 <= 8'h00;
219             green_1 <= 8'h00;
220             blue_1 <= 8'hff;
221             end
222         end
223
224         else
225         begin
226         red_1 <= 8'hff;
227         green_1 <= 8'hff;
228         blue_1 <= 8'hff;
229         end
230
231
232     end
233
234
235     //EKRAN RENK SEÇENEKLERİ
236
237     assign mred      = (iDISPLAY_MODE == 2'b11)? 8'hff:
238                       (iDISPLAY_MODE == 2'b10)? 8'h7f:
239                       (iDISPLAY_MODE == 2'b01)? graycnt:
240                       red_1;
241
242     assign mgreen    = (iDISPLAY_MODE == 2'b11)? 8'hff:
243                       (iDISPLAY_MODE == 2'b10)? 8'h7f:
244                       (iDISPLAY_MODE == 2'b01)? graycnt:
245                       green_1;
246
247     assign mblue     = (iDISPLAY_MODE == 2'b11)? 8'hff:
248                       (iDISPLAY_MODE == 2'b10)? 8'h7f:
249                       (iDISPLAY_MODE == 2'b01)? graycnt:
250                       blue_1;
251
252
253     always@(posedge iCLK or negedge iRST_n)
254
255         begin
256         if (!iRST_n)
257             begin
258                 oHD <= 1'd0;
259                 oVD <= 1'd0;
260                 oDEN <= 1'd0;
261                 oLCD_R <= 8'd0;
262                 oLCD_G <= 8'd0;
263                 oLCD_B <= 8'd0;
264             end
265         else
266             begin

```

Date: December 13, 2009

LCD_ZAMANLAMA_KONTROL.v

Project: DE2_70_LTM_TEST

```
267         oHD <= mhd;
268         oVD <= mvd;
269         oDEN <= display_area;
270         oLCD_R <= mred;
271         oLCD_G <= mgreen;
272         oLCD_B <= mblue;
273     end
274
275 end
276
277
278 endmodule
279
280
281
282
283
284
285
286
287
288
289
290
```

VGA Kontrol Modülü:

Date: December 13, 2009

VGA_KONTROL.v

Project: DE2_70_LTM_TEST

```

1  module  VGA_KONTROL (
2
3          i3X_COORD,
4          i3Y_COORD,
5          i2SIL_BUTONU,
6          i2K2_KALIN,
7          i2RENK1,
8          oVGA_R,
9          oVGA_G,
10         oVGA_B,
11         oVGA_HS,
12         oVGA_VS,
13         oVGA_SYNC,
14         oVGA_BLANK,
15         oVGA_CLOCK,
16         iCLK,
17         iRST_N );
18
19 input    [11:0]  i3X_COORD;
20 input    [11:0]  i3Y_COORD;
21 input          i2SIL_BUTONU;
22 input          i2K2_KALIN;
23 input          i2RENK1;
24
25 output    [9:0]  oVGA_R;
26 output    [9:0]  oVGA_G;
27 output    [9:0]  oVGA_B;
28 output reg      oVGA_HS;
29 output reg      oVGA_VS;
30 output      oVGA_SYNC;
31 output      oVGA_BLANK;
32 output      oVGA_CLOCK;
33
34 input          iCLK;
35 input          iRST_N;
36
37 reg          [10:0]  H_Cont;
38 reg          [10:0]  V_Cont;
39 reg          [7:0]   p_data;
40 reg          [9:0]   Red;
41 reg          [9:0]   Green;
42 reg          [9:0]   Blue;
43 reg[127:0]  xy2_coord_reg [0:127];
44
45 //
46 // PARAMETRE TANIMLAMALARI
47 //
48 // YATAY PARAMETRELER
49 parameter  H_FRONT = 16;
50 parameter  H_SYNC = 96;
51 parameter  H_BACK = 48;
52 parameter  H_ACT = 640;
53 parameter  H_BLANK = H_FRONT+H_SYNC+H_BACK;
54 parameter  H_TOTAL = H_FRONT+H_SYNC+H_BACK+H_ACT;
55

```

Date: December 13, 2009

VGA_KONTROL.v

Project: DE2_70_LTM_TEST

```

56 // DİKEY PARAMETRELER
57 parameter V_FRONT = 11;
58 parameter V_SYNC = 2;
59 parameter V_BACK = 31;
60 parameter V_ACT = 480;
61 parameter V_BLANK = V_FRONT+V_SYNC+V_BACK;
62 parameter V_TOTAL = V_FRONT+V_SYNC+V_BACK+V_ACT;
63
64 assign oVGA_SYNC = 1'b1;
65 assign oVGA_BLANK = ~( (H_Cnt<H_BLANK) || (V_Cnt<V_BLANK) );
66 assign oVGA_CLOCK = ~iCLK;
67
68 assign oVGA_R = Red;
69 assign oVGA_G = Green;
70 assign oVGA_B = Blue;
71 integer j;
72 integer s;
73
74
75
76 //BELLEK SIFIRLAMA
77 always@(posedge iCLK or negedge iRST_N)
78     begin
79         if (!iRST_N)
80             begin
81                 for (j = 1; j < 127; j = j + 1) begin
82                     for (s = 1; s < 127; s = s+1) begin
83                         xy2_coord_reg [s][j] <= 1'b0;
84                     end
85                 end
86             end
87
88
89
90
91 // BELLEĞE YAZMA
92     else if ((i3X_COORD != 0)&& (!i2SIL_BUTONU))
93         begin
94             if (!i2K2_KALIN)
95                 begin
96                     xy2_coord_reg [i3X_COORD/32][i3Y_COORD/32] <=1'b1;
97                 end
98             else
99                 begin
100                     xy2_coord_reg [i3X_COORD/32][i3Y_COORD/32] <=1'b1;
101                     xy2_coord_reg [i3X_COORD/32 - 1][i3Y_COORD/32] <=
102                     1'b1;
103                     xy2_coord_reg [i3X_COORD/32 + 1][i3Y_COORD/32] <=
104                     1'b1;
105                 end
106             end
107
108 // BELLEKTEN SİLME

```

Date: December 13, 2009

VGA_KONTROL.v

Project: DE2_70_LTM_TEST

```

109
110     else if ((i3X_COORD != 0) && (i2SIL_BUTONU))
111         begin
112             if (!i2K2_KALIN)
113                 begin
114                     xy2_coord_reg [i3X_COORD/32] [i3Y_COORD/32] <= 1'b0;
115                 end
116             else
117                 begin
118                     xy2_coord_reg [i3X_COORD/32] [i3Y_COORD/32] <= 1'b0;
119                     xy2_coord_reg [i3X_COORD/32 - 1] [i3Y_COORD/32] <=
120                         1'b0;
121                     xy2_coord_reg [i3X_COORD/32 + 1] [i3Y_COORD/32] <=
122                         1'b0;
123                 end
124             end
125         end
126
127     //EKRANA YAZMA
128
129     always@(posedge iCLK or negedge iRST_N)
130     begin
131         if (!iRST_N)
132             p_data <= 8'h00;
133
134         else if (xy2_coord_reg [128 - (V_Cont/4)] [
135             H_Cont/6 ] == 1'b1) //(h_cnt/6.25 olmalı)
136             begin
137                 if (!i2RENK1)
138                     begin
139                         Red <= 10'b1111111111;
140                         Green <= 0;
141                         Blue <= 0;
142                     end
143                 else
144                     begin
145                         Red <= 0;
146                         Green <= 0;
147                         Blue <= 10'b1111111111;
148                     end
149                 end
150
151             else
152                 begin
153                     Red <= 10'b1111111111;
154                     Green <= 10'b1111111111;
155                     Blue <= 10'b1111111111;
156                 end
157             end
158         end
159
160

```

Date: December 13, 2009

VGA_KONTROL.v

Project: DE2_70_LTM_TEST

```

161
162 // YATAY SİNYAL ÜRETECİ
163 always@(posedge iCLK or negedge iRST_N)
164 begin
165     if(!iRST_N)
166     begin
167         H_Cont      <=  0;
168         oVGA_HS      <=  1;
169     end
170     else
171     begin
172         if(H_Cont<H_TOTAL)
173             H_Cont  <=  H_Cont+1'b1;
174         else
175             H_Cont  <=  0;
176         // YATAY SENKRONİZASYON
177         if(H_Cont==H_FRONT-1)
178             oVGA_HS <=  1'b0;
179         if(H_Cont==H_FRONT+H_SYNC-1)
180             oVGA_HS <=  1'b1;
181     end
182 end
183
184 // DİKEY SİNYAL ÜRETECİ
185 always@(posedge oVGA_HS or negedge iRST_N)
186 begin
187     if(!iRST_N)
188     begin
189         V_Cont      <=  0;
190         oVGA_VS      <=  1;
191     end
192     else
193     begin
194         if(V_Cont<V_TOTAL)
195             V_Cont  <=  V_Cont+1'b1;
196         else
197             V_Cont  <=  0;
198         // DİKEY SENKRONİZASYON
199         if(V_Cont==V_FRONT-1)
200             oVGA_VS <=  1'b0;
201         if(V_Cont==V_FRONT+V_SYNC-1)
202             oVGA_VS <=  1'b1;
203     end
204 end
205
206 endmodule

```

EK-3 KULLANILABİLİRLİK TESTİ FORMLARI

EK-3.1 KATILIMICI ÖN BİLGİ FORMU	
Açıklama: Bu form tasarlanan Yazım Ekranı kullanılabilirliğinin değerlendirilmesi için oluşturulmuştur. Elde edilen bilgiler bilimsel amaçlara göre topluca değerlendirilecektir. Bu nedenle adınızı yazmanıza gerek yoktur. Araştırmanın geçerliliği açısından lütfen bütün soruları okuyunuz ve mutlaka her soruyu cevaplandırınız. Sizce en doğru olan seçeneği doğru yere işaretlemeye dikkat ediniz. Cevaplamayı kutuya (X) işareti koyarak yapınız. Gösterdiğiniz ilgi için teşekkür ederiz.	
Ders verdiğiniz eğitim kademesi?	
☐	İlköğretim
☐	Lise
☐	Üniversite
Öğretmenlik Deneyiminiz?	
☐	1-3 sene
☐	3-10 sene
☐	10+
Yaşınız?	
☐	25-35 arası
☐	35-45 arası
☐	45-55 arası
Branşınız?	
☐	Fen Bilimleri
☐	Sosyal Bilimler
☐	
☐	
☐	

EK-3.2 SINIF İÇİ EĞİTİM ÇALIŞMALARINDA DERS ANLATMA TEKNİKLERİNİ GELİŞTİRME AMAÇLI İHTİYAÇ BELİRLEME FORMU

Açıklama: Bu form tasarlanan Yazım Ekranı kullanılabilirliğinin değerlendirilmesi için oluşturulmuştur. Elde edilen bilgiler bilimsel amaçlara göre topluca değerlendirilecektir. Bu nedenle adınızı yazmanıza gerek yoktur.

Araştırmanın geçerliliği açısından lütfen bütün soruları okuyunuz ve mutlaka her soruyu cevaplandırınız. Sizce en doğru olan seçeneği doğru yere işaretlemeye dikkat ediniz.

Cevaplamayı kutuya (X) işareti koyarak yapınız.
ederiz.

Gösterdiğiniz ilgi için teşekkür

Bilgisayar kullanır mısınız?

☐ Evet

☐ Hayır

Bilgisayarı daha çok hangi amaçla kullanıyorsunuz?

☐ Eğlence amaçlı

☐ Haberleşme amaçlı

☐ Eğitim amaçlı

☐ Yazışma amaçlı

Teknolojik cihazları sever misiniz?

☐ Evet

☐ Hayır

Ders anlatırken aşağıdaki tekniklerden hangisini daha kolay ve kullanışlı bulursunuz?

☐ Projeksiyon cihazı ile (bilgisayar destekli) ders anlatma

☐ Tepegöz ile ders anlatma

☐ Sadece yazı tahtasını (kara tahta) kullanarak ders anlatma

Projeksiyon cihazı ile (bilgisayar destekli) ders anlatmanın dezavantaj ve zorluklarından 1 tanesini yazınız

☐

☐

Projeksiyon cihazı ile (bilgisayar destekli) ders anlatmanın avantaj ve kolaylıklarından 1 tanesini yazınız

☐

☐

(formun devamı...)	
Tepegöz ile ders anlatmanın dezavantaj ve zorluklarından 1 tanesini yazınız	
Tepegöz ile ders anlatmanın avantaj ve kolaylıklarından 1 tanesini yazınız	
Yazı tahtası (kara tahta) ile ders anlatmanın dezavantaj ve zorluklarından 1 tanesini yazınız	
Yazı tahtası (kara tahta) ile ders anlatmanın avantaj ve kolaylıklarından 1 tanesini yazınız	
Sizce projeksiyon cihazı ile kullanılan bilgisayarın ekranının dokunmatik olması ve bir yazı tahtası gibi kullanılabiliyor olması bir avantaj sağlar mı?	
	Evet
	Hayır
Sizce tepegöz sisteminin daha küçük olması bir avantaj sağlar mı?	
	Evet
	Hayır
Hasta olduğunuzda veya kendinizi halsiz hissettiğinizde yazı tahtasına yazmanız gereken yazıları masanızda oturduğunuz yerden bir sistem yardımıyla yaza bilmek ister miydiniz?	
	Evet
	Hayır

EK-3.3 GÖREV LİSTESİ

Görev 1: Yazım ekranının monitör ile bağlantısını yapıp “adaptör” modunda çalıştırınız.

=> Lütfen uygulamanın zorluk derecesini işaretleyin!

Kolay	Kolaya yakın	Orta	Zora yakın	Zor
-------	--------------	------	------------	-----

Görev 2: Yazım ekranı açıldıktan sonra kapatıp yeniden fakat “batarya” modunda çalıştırınız (Batarya modunda adaptör bağlantısına gerek yoktur).

=> Lütfen uygulamanın zorluk derecesini işaretleyin!

Kolay	Kolaya yakın	Orta	Zora yakın	Zor
-------	--------------	------	------------	-----

Görev 3: Yazım ekranına “Yaz” modunda çizimler yapınız.

=> Lütfen uygulamanın zorluk derecesini işaretleyin!

Kolay	Kolaya yakın	Orta	Zora yakın	Zor
-------	--------------	------	------------	-----

Görev 4: Yazım ekranından “Sil” modunda çizimleri siliniz.

=> Lütfen uygulamanın zorluk derecesini işaretleyin!

Kolay	Kolaya yakın	Orta	Zora yakın	Zor
-------	--------------	------	------------	-----

Görev 5: Yazım ekranına “2 kat yaz” modunda çizimler yapınız.

=> Lütfen uygulamanın zorluk derecesini işaretleyin!

Kolay	Kolaya yakın	Orta	Zora yakın	Zor
-------	--------------	------	------------	-----

Görev 6: Yazım ekranından “2 kat sil” modunda çizimleri siliniz.

=> Lütfen uygulamanın zorluk derecesini işaretleyin!

(görev listesinin devamı...)

Kolay	Kolaya yakın	Orta	Zora yakın	Zor
-------	--------------	------	------------	-----

Görev 7: Ekrandaki yazı rengini “Kırmızı”dan “Mavi”ye çeviriniz.

=> Lütfen uygulamanın zorluk derecesini işaretleyin!

Kolay	Kolaya yakın	Orta	Zora yakın	Zor
-------	--------------	------	------------	-----

Görev 8: Komple ekranı temizleyip sistemi kapatınız.

=> Lütfen uygulamanın zorluk derecesini işaretleyin!

Kolay	Kolaya yakın	Orta	Zora yakın	Zor
-------	--------------	------	------------	-----

EK-3.4 YAZIM EKRANI KULLANILABİLİRLİK TESTİ

MEMNUNİYET DEĞERLENDİRME ANKETİ

Açıklama: Bu form tasarlanan Yazım Ekranı kullanılabilirliğinin değerlendirilmesi için oluşturulmuştur. Elde edilen bilgiler bilimsel amaçlara göre topluca değerlendirilecektir. Bu nedenle adınızı yazmanıza gerek yoktur.

Araştırmanın geçerliliği açısından lütfen bütün soruları okuyunuz ve mutlaka her soruyu cevaplandırınız. Sizce en doğru olan seçeneği doğru yere işaretlemeye dikkat ediniz.

Cevaplamayı kutuya (X) işareti koyarak yapınız.
ederiz.

Gösterdiğiniz ilgi için teşekkür

Yazım ekranının kullanılması ile dersleri daha kolay ve hızlı anlatabilir misiniz?

☐	Evet
☐	Kısmen
☐	Hayır

Yazım ekranının kullanılması ile mevcut performansınız artabilir mi?

☐	Evet
☐	Kısmen
☐	Hayır

Yazım ekranının kullanılması ile dersteki etkinliğiniz artabilir mi?

☐	Evet
☐	Kısmen
☐	Hayır

Yazım ekranının kullanılması ile öğrencilerinize daha faydalı olacağını düşünüyor musunuz?

☐	Evet
☐	Kısmen
☐	Hayır

Bu yazım ekranının dersleriniz için işe yarar bir araç olduğunu düşünüyor musunuz?

☐	Evet
☐	Kısmen
☐	Hayır

Yazım ekranını kullanımını kolay buldunuz mu?

☐	Evet
☐	Kısmen
☐	Hayır

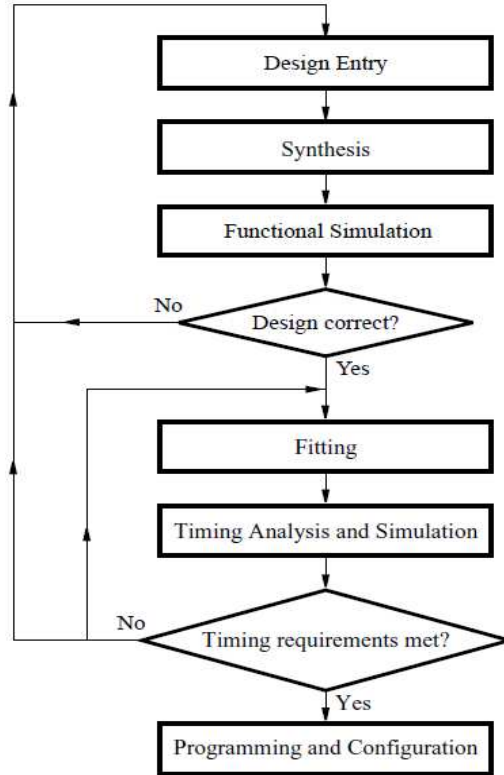
(anketin devamı...)	
Yazım ekranının nasıl çalıştığını öğrenmeniz kolay oldu mu?	
☐	Evet
☐	Kısmen
☐	Hayır
Yazım ekranını kullanarak bir şeyler anlatmanın kolay olduğunu düşünüyor musunuz?	
☐	Evet
☐	Kısmen
☐	Hayır
Yazım ekranı ile etkileşimin çok açık ve sade olduğunu düşünüyor musunuz? (karmaşıklık yok)	
☐	Evet
☐	Kısmen
☐	Hayır
Yazım ekranı üzerinde istediğiniz tüm çizimleri gerçekleştirebilmeniz kolay oldu mu?	
☐	Evet
☐	Kısmen
☐	Hayır
Yazım ekranını ders anlatmak için kullanışlı olduğunu düşünüyor musunuz?	
☐	Evet
☐	Kısmen
☐	Hayır
Ürün ile kullanılan birçok özelliğin gerekli ve yerli yerinde kullanıldığını düşünüyor musunuz?	
☐	Evet
☐	Kısmen
☐	Hayır
Yazım ekranının portatif olma özelliğini kullanışlı buldunuz mu?	
☐	Evet
☐	Kısmen
☐	Hayır
Oturduğunuz yerden sınıfınıza ders anlatabiliyor olmanın yazım ekranının sağladığı bir kullanışlılık özelliği olduğunu düşünüyor musunuz?	
☐	Evet
☐	Kısmen
☐	Hayır

(anketin devamı...)	
Yazım ekranını yazı yazmak konusunda klasik yazı tahtaları (kara tahta) kadar kullanışlı olduğunu düşünüyor musunuz?	
☐	Evet
☐	Kısmen
☐	Hayır

EK-4 QUARTUS II İLE FPGA YAPILANDIRMA

Bu doküman adım adım bir FPGA yongasının Verilog donanım tanımlama dili ile Altera firmasının Quartus II aracı (programı) ile nasıl yapılandırılacağını (programlanacağını) göstermektedir.

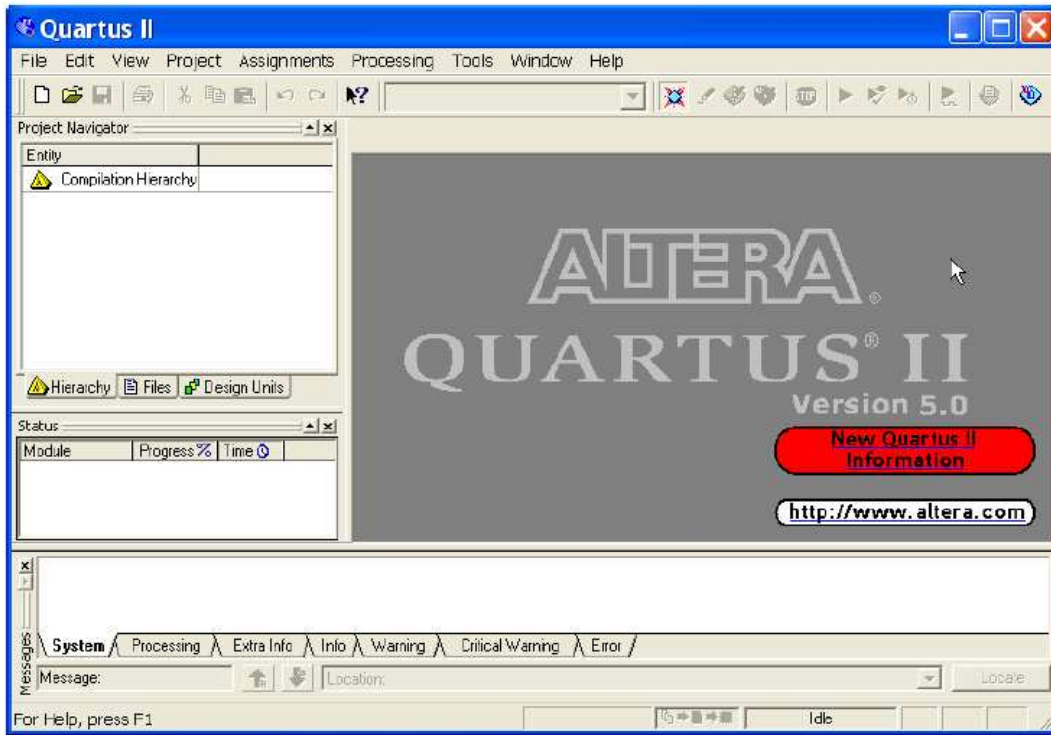
Quartus II yazılımı bir CAD (Computer Aided Design – Bilgisayar Destekli Dizayn) programıdır. Bu yazılım FPGA gibi programlanabilir mantık aygıtlarını daha kolay daha hızlı bir şekilde programlayabilme/yapılandırabilme olanağı sağlar. Bu işlemi şu akış diyagramı doğrultusunda gerçekleştirir:



Şekil 1. Tipik bir CAD işlem akış diyagramı

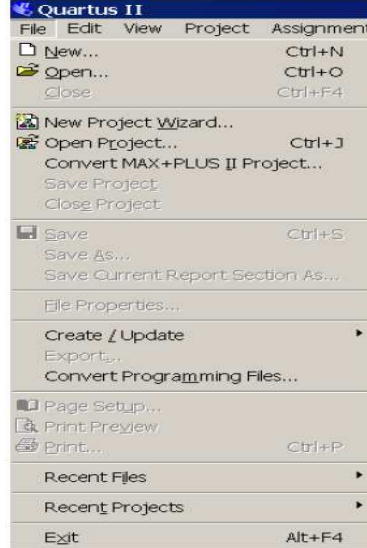
Quartus programı ile verilog dilinde bir projenin hazırlanması, test araçlarının kullanılması ve programlama işlemlerinin aşamaları ile ilgili detaylar şu şekildedir:

Quartus II yazılımında gerçekleştirilen her bir mantıksal devre veya tasarım “proje” adını almaktadır.

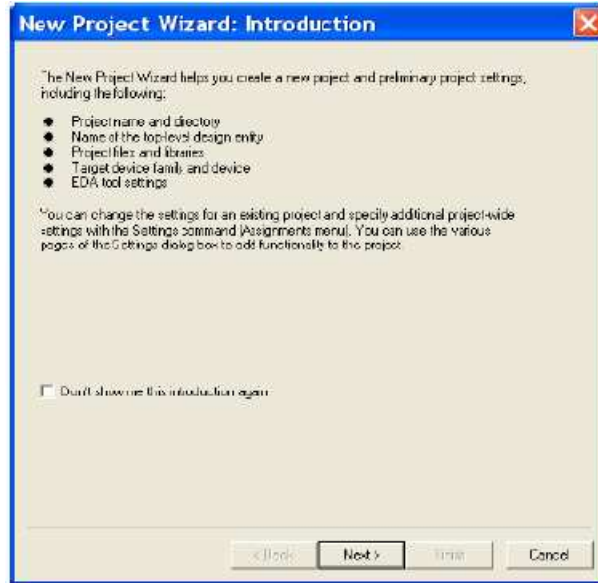


Şekil 2. Quartus II ana penceresinin görüntüsü

- Yeni bir proje oluşturabilmek için “File > New Project Wizard” seçilir:



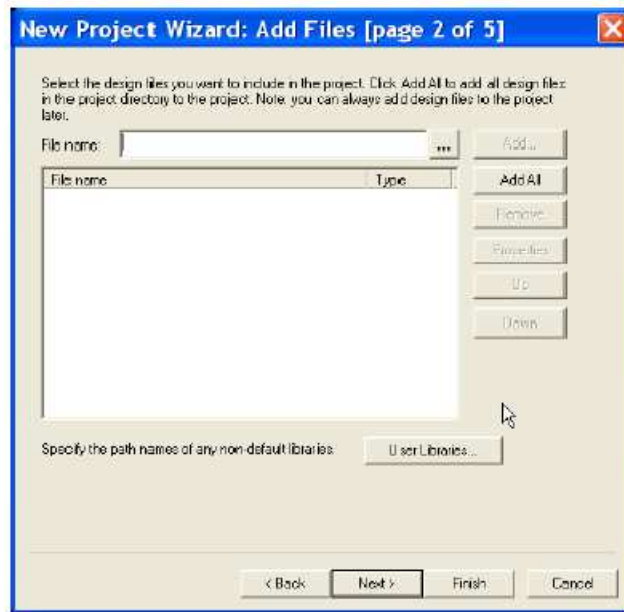
- Açılan ekranda “Next” seçeneği seçilir:



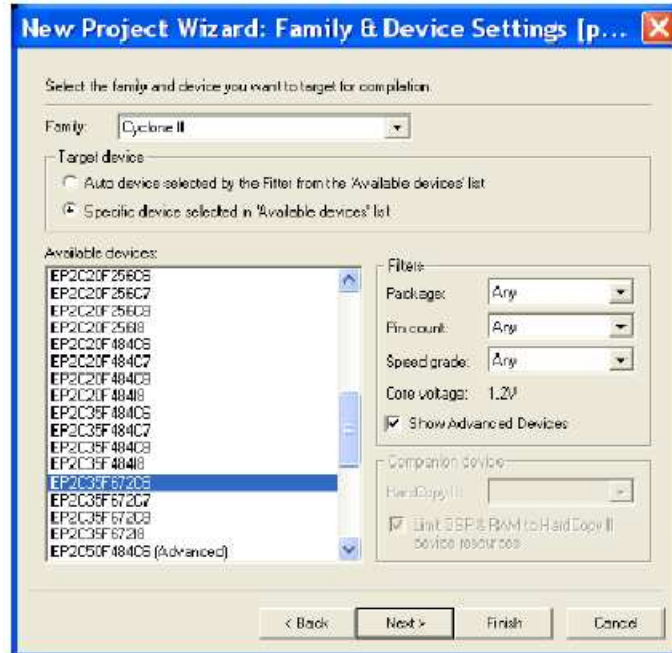
- Yeni açılan ekrana projenin kaydedileceği klasör seçilir (klasör önceden oluşturulmuşsa). Ayrıca projenin ismi de uygun yere yazılır. Ardından tekrardan next seçeneği seçilir:



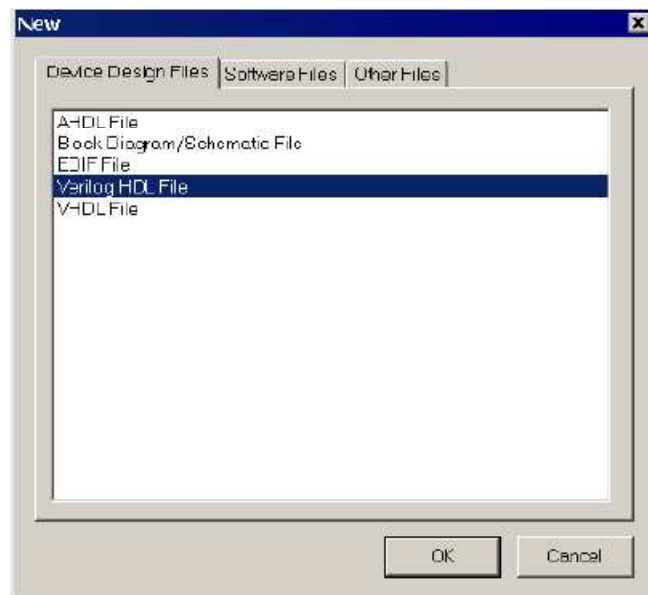
- Sonrasında açılan ekran projeye dışarıdan doküman dahil edilip edilmemesi seçeneğini sunar. İstenmiyorsa tekrardan next seçeneği seçilir:



- Bu pencerede ise kendisi ile çalışılacak FPGA yongası kütüphane arasından seçilmesi istenecektir. Yonga seçildikten yapılması gereken önemli işlemler bitmiş olacaktır. Bu nedenle “Finish” seçeneğine basılarak yapılan ayarlamalar kaydedilir.



⇒ Verilog dilinde bir dosya oluşturulabilmesi için File > New seçeneği seçilerek çıkan ekranda “Verilog HDL File” seçilerek OK seçeneği seçilir:



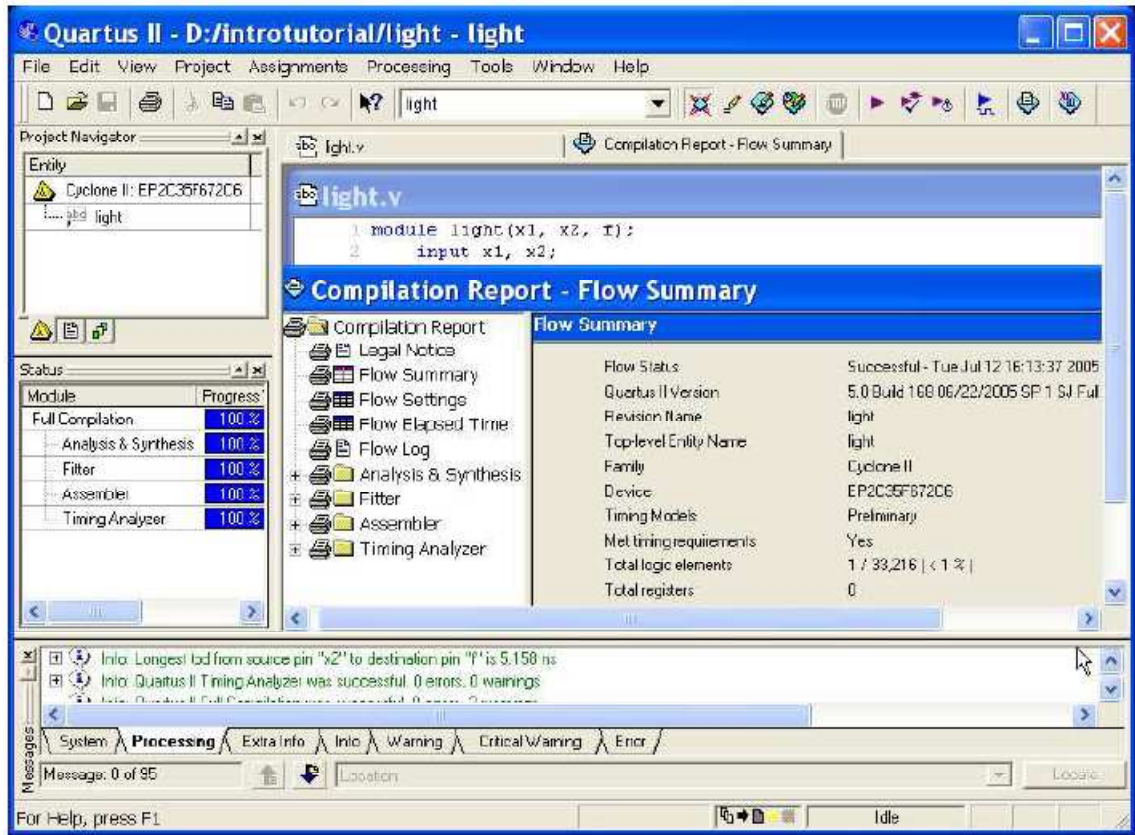
⇒ Dosya isminin yazılması için ikinci bir pencere açılır. Dosya ismi ve dosya klasörü belirlendikten sonra Save butonuna basılır. Böylelikle “.v” uzantılı verilog dosyası oluşturulmuş olur.



Oluşturulan Projenin Derlenmesi:

Verilog dili ile hazırlanmış olunan proje doğrudan yonga içerisine yazılamazlar. Verilog dilinde yazılmış kodlar “Derleyici - Compiler” denilen programlar sayesinde yonga içerisine yazılacak hale getirilirler.

Quartus II yazılımında derleme işlemi, hazırlanma süreci bitmiş proje için, Processing > Start Compilation seçeneği seçilerek gerçekleştirilir:



Ekranada süreç ile ilgili bilgiler, derleme işleminin aşamaları, işlemin başarılı olup olmadığı ve yonga kullanım bilgisi ile ilgili bilgiler çıkmaktadır.

ÖZGEÇMİŞ

Kişisel Bilgiler

Soyadı, adı : SAMANCI, Kamuran
 Uyuğu : T.C.
 Doğum tarihi ve yeri : 01.02.1984, TATVAN
 Telefon : 0 (434) 555 14 20
 E-mail : kamuransamanci@yahoo.com

Eğitim

Derece	Eğitim Birimi	Mezuniyet tarihi
Lisans	Ankara Üniv., Elektronik Müh.	2006
Lise	Bitlis Anadolu Öğr. Lisesi	2002

İş Deneyimi

Yıl	Yer	Görev
2005-2008	Beti Bilişim	ARGE
2008-...	Türk Telekom	Network Op. Uzm.

Yabancı Dil

İngilizce

Hobiler

Bilgisayar teknolojileri, Futbol, Arabalar, Telekomünikasyon, Elektronik