



**GÜVENİLİRLİK PLANLARININ ETKİNLİĞİNİ ARTIRMAK İÇİN YENİ
BİR YAKLAŞIM**

Görkem SARIKAYA

**YÜKSEK LİSANS TEZİ
İLERİ TEKNOLOJİLER ANA BİLİM DALI**

**GAZİ ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ**

OCAK 2024

ETİK BEYAN

Gazi Üniversitesi Fen Bilimleri Enstitüsü Tez Yazım Kurallarına uygun olarak hazırladığım bu tez çalışmada;

- Tez içinde sunduğum verileri, bilgileri ve dokümanları akademik ve etik kurallar çerçevesinde elde ettiğimi,
- Tüm bilgi, belge, değerlendirme ve sonuçları bilimsel etik ve ahlak kurallarına uygun olarak sunduğumu,
- Tez çalışmada yararlandığım eserlerin tümüne uygun atıfta bulunarak kaynak gösterdiğimi,
- Kullanılan verilerde herhangi bir değişiklik yapmadığımı,
- Bu tezde sunduğum çalışmanın özgün olduğunu,

bildirir, aksi bir durumda aleyhime doğabilecek tüm hak kayıplarını kabullendiğimi beyan ederim.

Görkem SARIKAYA

16/01/2024

GÜVENİLİRLİK PLANLARININ ETKİNLİĞİNİ ARTIRMAK İÇİN YENİ BİR YAKLAŞIM

(Yüksek Lisans Tezi)

Görkem SARIKAYA

GAZİ ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ

Ocak 2024

ÖZET

Güvenilirlik, havacılık ve uzay sistemleri için tasarım geliştirme projelerinin önemli parametrelerden biridir ve bu mühendislik dalının temel amacı, ekipman veya sistemin güvenilirliğini değerlendirecek metotlar geliştirmek ve uygulamaktır. Çeşitli Araştırma ve Geliştirme Projelerinde ele alınan devre tasarımlarının amacına uygun çalışacağını doğrulamak için Güvenilirlik Tahmin Analizi, Hata Modları ve Etkileri Analizi (HTEA), Stress Azaltma (Derating) Analizi ve En Kötü Durum Devre Analizi (EKDA) gibi güvenilirlik analizleri uygulanmaktadır. Dikkat edilmesi gereken nokta, tüm çalışmaların veya projelerin doğrudan Güvenilirlik Tahmin Analizi, HTEA, EKDA veya Derating Analizi'ne ayrı ayrı odaklanmasıdır. Bu tez çalışmasının ana hedefi, tasarım için riskin belirlenmesi amacıyla bir güvenilirlik planı ve stratejisi dahilinde tüm analizlerin kapsamlı bir şekilde ve bir bütün halinde değerlendirilmesidir. Ayrıca bu plan dahilinde çalışmanın bir diğer amacı da EKDA'nın uygulanmasının gerekli olup olmadığının belirlenmesi ve gerekli ise hangi durumlarda uygulanacağını tespit edilmesi adına bir algoritmanın oluşturulmasıdır. Bu motivasyonla, güvenilirlik planında yeni bir güvenilirlik anlayışına sahip yeni metodoloji örnek bir devre üzerinde hayata geçirilmiş ve yürütülmüştür. Bu uygulama, endüstrinin ve literatürün normal şartlarda uyguladığı plan ve analizler ile kabul edilemeyecek ve garanti edilemeyecek olan devrenin, önerilen benzersiz güvenilirlik yaklaşımı sayesinde kabul edildiğini göstermiştir. Olası takvim gecikmesi, bütçe artışı veya tasarım karmaşıklığının artması gibi durumların da bu metodoloji ile önlenmesi mümkündür.

Bilim Kodu : 90517

Anahtar Kelimeler : Elektronik devre, güvenilirlik analizleri, güvenilirlik planı

Sayfa Adedi : 51

Danışman : Prof. Dr. Şevki DEMİRBAŞ

A NOVEL APPROACH FOR INCREASING EFFICIENCY OF RELIABILITY PLANS

(M. Sc. Thesis)

Görkem SARIKAYA

GAZİ UNIVERSITY

GRADUATE SCHOOL OF NATURAL AND APPLIED SCIENCES

January 2024

ABSTRACT

Reliability is one of the important parameters of development projects and the main purpose of this branch of engineering is to develop and apply methods to evaluate the reliability of the equipment or system. Reliability analyzes such as Reliability Prediction Analysis, Failure Modes and Effects Analysis (FMEA), Part Stress (Derating) Analysis and Worst Case Circuit Analysis (WCCA) are applied to verify the proper function of the circuit designs considered in various Research and Development Projects. It is important to note that all studies or projects focus directly on Reliability Prediction Analysis, FMEA, WCCA or Derating Analysis separately. This thesis study aims to comprehensively evaluate all analyzes together within a reliability plan and strategy in order to determine the overall risk for the design. In addition, another purpose of this study within this plan is to create an algorithm to determine whether the application of WCCA is necessary and, if necessary, in which cases it will be applied. With this motivation, a new methodology with a new understanding of reliability in the reliability plan has been implemented and executed on an example circuit. This application has shown that the circuit, which cannot be accepted and guaranteed by analyzes normally applied by industry and literature, is accepted thanks to the unique reliability approach proposed. It is also possible to prevent situations such as possible schedule delay, budget increase or increase in design complexity with this methodology.

Science Code : 90517

Key Words : Reliability, plan, electronic circuit

Page Number : 51

Supervisor : Prof. Dr. Şevki DEMİRBAŞ

TEŞEKKÜR

Bu tez çalışmasının gerçekleşmesinde desteklerini esirgemeyen ve her alanda danışmanlığını sürdüren Prof. Dr. Şevki DEMİRBAŞ'a ve fikirleri ile bana destek olan ve yön veren değerli TUSAŞ Uzay Sistemleri Genel Müdür Yardımcılığı Emniyet ve Güvenilirlik Ekibine sonsuz teşekkürü borç bilirim. Ayrıca manevi destekleri ile bana güç veren değerli eşim Pınar SARIKAYA ve değerli, biricik oğlum Atlas SARIKAYA'ya da her daim minnettarım.

İÇİNDEKİLER

	Sayfa
ÖZET	iv
ABSTRACT.....	v
TEŞEKKÜR.....	vi
İÇİNDEKİLER	vii
ÇİZELGELERİN LİSTESİ.....	ix
ŞEKİLLERİN LİSTESİ.....	xi
SİMGELER VE KISALTMALAR.....	xii
1. GİRİŞ.....	1
2. GÜVENİLİRLİK MÜHENDİSLİĞİ	5
2.1. Güvenilirlik Tahmin Analizi	5
2.1.1. Hata oranı ve sayısal güvenlik değeri	5
2.1.2. Küvet eğrisi	6
2.1.3. Güvenilirlik Blok Diagramı	8
2.1.4. Hedeflerin uygulanabilirliği tekniği	11
2.1.5. Parça sayısı (parts count) ve parça gerilimi (part stress) methotları	13
2.2. Hata Türü ve Etkileri Analizi (HTEA).....	14
2.3. Parça Stres Analizi	16
2.4. En Kötü Durum Devre Analizi.....	17
2.4.1. Ekstrem değer analizi (EDA).....	20
2.4.2. Kök-Toplam-Kare (KTK) Tekniği.....	20
2.4.3. Monte carlo analizi (MCA).....	21
3. ÖZGÜN GÜVENİLİRLİK ANLAYIŞI İÇİN YENİ METODOLOJİ ...	23
3.1. Mevcut Durum.....	23

Sayfa

3.2. Özgün Güvenilirlik Anlayışı İçin Metodoloji.....	24
4. ÖZGÜN YAKLAŞIMIN ÖRNEK DEVRE ÜZERİNDE GÖSTERİMİ	29
4.1. Devre Üzerinde Güvenilirlik Tahmin Analizinin Uygulanması.....	30
4.2. Devre Üzerinde Stress Azaltma (Derating) Analizinin Uygulanması	34
4.3. En Kötü Durum Devre Analizinin (EKDA) Uygulanması	37
4.3.1. Komponent değişim oranları (85 °C)	38
4.3.2. Sonuçlar (85 °C)	40
4.3.3. Komponent değişim oranları (-25 °C).....	41
4.3.4. Sonuçlar (-25 °C).....	43
4.3.5. Analiz sonucu	44
4.4. Tartışma	44
5. SONUÇ VE ÖNERİLER	47
KAYNAKLAR	49
ÖZGEÇMİŞ	51

ÇİZELGELERİN LİSTESİ

Çizelge	Sayfa
Çizelge 2.1. Hata etkileri kritiklik kategorisi	16
Çizelge 2.2. Parametre veritabanı örneği ve değişim oranı değerleri	19
Çizelge 2.3. Komponent değişim oranı kaynakları.....	19
Çizelge 4.1. Devrenin parçaları ve hata oranları.....	29
Çizelge 4.2. Kapasitör baz hata oranları	30
Çizelge 4.3. Devrenin parçaları ve hata oranları (part stress ile).....	31
Çizelge 4.4. Dirençlerde güç tüketimi parametresi derating sonuçları	32
Çizelge 4.5. Dirençlerde kırılma gerilimi parametresi derating sonuçları.....	33
Çizelge 4.6. Diyotlarda “reverse voltage” parametresi derating sonuçları.....	34
Çizelge 4.7. Diyotlarda “forward current” parametresi derating sonuçları	34
Çizelge 4.8. Kapasitörlerde kırılma gerilimi parametresi derating sonuçları	34
Çizelge 4.9. Komparatörlerde besleme gerilimi parametresi derating sonuçları.....	35
Çizelge 4.10. Komparatörlerde giriş gerilimi parametresi derating sonuçları.....	35
Çizelge 4.11. Ekda uygulama koşulları	36
Çizelge 4.12. Direnç değişim oranları (85 °c).....	37
Çizelge 4.13. Diyot değişim oranları (85 °c)	37
Çizelge 4.14. Üst limit için direnç değerleri (85 °c)	38
Çizelge 4.15. Üst limit için entegre devre değerleri (85 °c).....	38
Çizelge 4.16. Alt limit için direnç değerleri (85 °c).....	39
Çizelge 4.17. Alt limit için entegre değerleri (85 °c)	39
Çizelge 4.18. Direnç değişim oranları (-25 °c)	40
Çizelge 4.19. Diyot değişim oranları (-25 °c)	40
Çizelge 4.20. Üst limit için direnç değerleri (-25 °c).....	41

Çizelge	Sayfa
Çizelge 4.21. Üst limit için entegre devre değerleri (-25 °c)	41
Çizelge 4.22. Alt limit için direnç değerleri (-25 °c)	42
Çizelge 4.23. Alt limit için entegre devre değerleri (-25 °c).....	42

ŞEKİLLERİN LİSTESİ

Şekil	Sayfa
Şekil 2.1. Kuvvet eğrisi ve β weibul parametresi.....	7
Şekil 2.2. Seri bağlı sistem güvenilirlik blok diyagramı.....	8
Şekil 2.3. Sıcak yedekli sistem güvenilirlik blok diyagramı	9
Şekil 2.4. Soğuk yedekli sistem güvenilirlik blok diyagramı	10
Şekil 2.5. Kondansatör örnek stres azaltma grafiği	17
Şekil 3.1. Özgün güvenilirlik metodolojisi diagramı.....	26
Şekil 4.1. Sinyal tetikleme devresi.....	27
Şekil 4.2. Uygulamanın algoritma üzerinde gösterimi	43

SİMGELER VE KISALTMALAR

Bu çalışmada kullanılmış simgeler ve kısaltmalar, açıklamaları ile birlikte aşağıda sunulmuştur.

Kısaltmalar

Açıklamalar

EDA

Ekstrem Değer Analizi

EEE

Elektrik, Elektronik ve Elektromekanik

EKDA

En Kötü Devre Analizi

FIT

Failure in time

HTEA

Hata Türü ve Etkileri Analizi

KTK

Kök Toplam Kare

MCA

Monte Carlo Analizi

WCCA

Worst Case Circuit Analysis

1. GİRİŞ

Güvenilirlik, havacılık ve uzay sistemlerinde sadece tasarım sonrası test aşamalarında değil, tasarımın en başı olan kavram aşamasından ürün teslimine kadar tüm ürün ömrü boyunca işleyen bir mühendislik dalı haline gelmiştir.

Bu mühendislik dalına bu denli önem verilmesinin birkaç sebebi vardır. Bunlardan birisi, geçmişte karşılaşılan hatalar ve bunların sonucudur. En ufak bir hatanın ölümcül sonuçları olabilmektedir, öte yandan uzay araçları ve uydu vb. sistemlerde ise fırlatıldıktan sonra tamir olanağı dahi olamayabilmektedir. Bu nedenle, tek bir hataya dahi izin verilmemesi, bu hatalardan kaçınılması, hatalara toleranslı olunması icap etmektedir [1]. Geçmişte, bu kazaların örneklerini sıkça görmek mümkündür. Bunların uzay alanındaki en büyük örnekleri 1986 yılındaki Challenger Uzay Aracının fırlatmanın ardından yaklaşık 2 dakika sonra mürettebatın denize çakılmasıyla sonuçlanan faciası ile 2003 yılında Columbia adlı Uzay Aracının Dünyamıza dönüşte parçalanmasıdır. NASA'nın bu dönemdeki görevlerini inceleyen çalışmada, bu trajedilerin sebebinin Apollo 1 kazasından sonraki Apollo programları boyunca takip edilen yüksek güvenilirlik politikasının terkedilerek yerine “daha hızlı, daha iyi, daha ucuz” tasarım politikasının takip edilmesi idi [2]. Güvenilirliğin bu denli önemli olduğu diğer bir alan ise havacılıktır. Geçmişte havacılık alanında meydana gelen kazalar bunun bir göstergesidir. 1989 yılında Denver'dan Şikago'ya gitmekte olan Amerikan Havayollarına ait bir uçağın motor arızası da bunun örneklerindendir. Kaza sonrası yapılan araştırmalarda, hidrolik sistemin içerisindeki yedekliliğin yetersiz olduğu sonucunu ortaya çıkarmıştır [3].

Güvenilirlik, tasarıma uygulanan stres parametrelerinden, proje içindeki komponent seçiminden, radyasyon, vakum vb. çevresel faktörlerden etkilenir. Etkileyen tüm bu noktalar, güvenilirliğin, tasarımın ana itici güçlerinden biri olduğunun göstergesidir. Ayrıca, tasarımda, kütle, maliyet ve yerleşim gibi önemli parametreler sistem getiri-götürü hesabında yer alırken, bu hesaplardaki tasarım çözümlerinin seçiminde güvenilirlik analizlerinin sonuçlarına gerekli öncelik verilmelidir, çünkü diğer performans parametreleri sistemin bir kez başarısız olması durumunda bir anlam ifade etmemektedir [4].

Elektronik devre tasarımı güvenilirlik yaklaşımlarının en çok uygulandığı alanlardan biridir

ve bu devreler arasında sinyal tetikleme devreleri önemli bir yer tutmaktadır. Bir sinyal tetikleme devresi, belirli koşullara veya durumlara bağlı olarak bir sinyali etkinleştirmek için tasarlanmış bir elektronik devredir. Giriş sinyali ile kontrol veya işleme sistemi arasında bir arayüz görevi görür. Çeşitli giriş sinyallerini daha sonraki işlem için veya kontrol amaçları için uygun bir çıkış sinyaline dönüştürür. Sinyal tetikleme devreleri, sensörler, kontrol sistemleri, otomasyon ve güç işleme gibi alanlarda yaygın olarak kullanılmaktadır.

Sinyal tetikleme devrelerinde güvenilirlik hususu ilk sıralarda yer alır çünkü bu devreler genellikle elektronik sistemlerin düzgün çalışmasını ve emniyetini sağlamada kritik roller oynar. Uygun sinyal tespiti yapılması hedeflenen uygulamanın gerçekleşmesi için olmazsa olmazdır. Çünkü sinyal tetikleme devreleri belirli durum ve koşulların tespit edilmesinden sorumludur. Örnek vermek gerekirse, bir hareket sensöründe, tetikleme devresinin uygun cevabı başlatmak için hareketi güvenilir bir şekilde algılaması gerekir. Devre güvenilir değilse, tüm sistemin işlevselliğini tehlikeye atarak yanlış algılamalara veya amaçlanan sinyalin algılanamamasına neden olabilir. Uygun sinyal tespiti yapılamamasının yanı sıra, yanlış tetiklemelerden kaçınmak da bu devreler için çok önem taşır. Güvenilir sinyal tetikleme devreleri, yanlış tetiklemeleri veya gürültü kaynaklı aktivasyonları en aza indirmelidir. Yanlış tetikleyiciler hatalı reaksiyonlara yol açarak gereksiz eylemlere, artan güç tüketimine ve hatta bileşenlerin hasar görmesine neden olabilir. Konunun diğer bir noktası ise, emniyet açısından kritik uygulamalarda, sinyal tetikleme devreleri genellikle acil kapatma mekanizmalarını veya diğer koruyucu önlemleri etkinleştirmek için kullanılır. Bu devrelerin güvenilirliği, tüm sistemin emniyetini ve bütünlüğünü doğrudan etkiler. Arızalı tetikleme devreleri, kazalara, ekipman hasarına yol açabildiği gibi insan hayatını da tehlikeye atabilir.

Dolayısıyla, sinyal tetikleme devrelerinde yüksek güvenilirlik elde etmek için tasarımcıların doğru mühendislik uygulamalarını takip etmesi, potansiyel arıza modlarını belirlemesi ve devrenin genel bütünlüğünü geliştirmek için tasarım aşamasında güvenilirlik analizi tekniklerini de kullanması elzemdir.

Bir tasarımın güvenilirliğini doğrulamak için ise Güvenilirlik Tahmin Analizi, Hata Modları ve Etkileri Analizi (HTEA), Stress Azaltma (Derating) Analizi ve En Kötü Durum Devre Analizi (EKDA) gibi çeşitli analiz teknikleri vardır. Bu analizler, tasarımın uygun güvenilirlik düzeyinde olup olmadığını analiz etmektedir. İlgili literatürde, araştırmalar,

genellikle bu analizlerin güvenilirlik aktiviteleri olarak nasıl bir arada kullanıldığını gösteren kapsamlı bir güvenilirlik program planı yerine bu analizlere ayrı ayrı odaklanmaktadır. Örneğin, güç elektroniği çeviricileri için güvenilirlik konusunda yol gösterici sayılabilecek bir çalışma, sadece ekipmanın ömrünü tahmin etmek için faydalı ömür modelini ve güvenilirlik tahmin analizinde yapısal parçalar için aşınma ömrü modelini ele almıştır [5]. Güvenilirlik tahmin analizi için mevcut metodolojilerin etkinliğini araştıran bazı çalışmalar da vardır. Bu çalışmalardan biri, iyi bilinen hata oranı veri tabanları ve modelleri yerine olaylardan kaydedilen gerçek hata vakalarını kullanarak bir sistemin güvenilirliğinin hesaplanmasına odaklanmaktadır. Çalışma, başarısızlık olasılığını bulmak için gerçek hayatta gözlemlenen başarısızlıklarla karşılaştırarak mevcut başarısızlık oranı veritabanlarının etkinliğini değerlendirmeyi amaçlamıştır [6]. Öte yandan, nitel açıdan bir örnek, MIL-STD-1629A kullanılarak T-56 Turboprop Motor Türbini için HTEA uygulayan bir çalışmadır. Bu çalışmada, ana hata modları ve bu hata modlarına sebep olan nedenler araştırılmıştır [7] ve sadece HTEA uygulamasını dikkate alınmaktadır. Fakat; tek bir kaynaktan tüm güvenilirlik analizlerini kapsayan bir güvenilirlik programı planının olması gerektiği, açıktır. Güvenilirlik için tasarım stratejisi, sürecin en başından, konsept aşamasından son ürüne kadar uygulanmalı ve her adıma entegre edilmelidir. Programın başında hedefler belirlenmeli ve ardından bu hedeflere ulaşmak için bir gündem oluşturulmalıdır. Sonuç olarak ise güvenilirlik program planını anlamlı kılmak için tasarımcılar, tüm güvenilirlik analizleriyle birlikte bir güvenilirlik programı planına bağlı kalmalıdır [8]. Bunun yanı sıra, güvenilirlik planının etkinliğine önem veren ancak tüm analizleri bir bütün olarak dikkate almayan bazı araştırmalar da mevcuttur. Örneğin, güvenilirlik programı planının işleyişinin nasıl takip edilebileceğini inceleyen bir çalışmada, “Güvenilirlik Güven Göstergesi” olarak adlandırılan bir anahtar performans göstergesi üzerinde durulmaktadır. Ancak bu gösterge nicel olarak sadece güvenilirlik hedef uyumunu ele almaktadır [9].

Tasarım projesi için genel riskin belirlenmesine yönelik bir güvenilirlik programı planı veya stratejisi dahilinde tüm analizleri kapsamlı bir şekilde içeren bir çalışmanın olmadığı görülmektedir. Ayrıca mevcut planlar ve içerdikleri aktiviteler, projelerin gerektirdiği kadar verimli görülmemekte ve bu değerlendirme 494 profesyonel tarafından yapılan anket çalışmasından da gözlemlenebilmektedir [10]. Güvenilirlik planındaki faaliyetler, belirli bir projenin amaçlarına uygun olarak seçilmeli ve özelleştirilmelidir. Seçim sürecinde teknoloji olgunluğu, karmaşıklık, yaşam süresi gibi değişkenler dikkate alınmalıdır. Şüphesiz

gerçekleştirilecek olan yanlış faaliyetler veya yanlış zamanlama ile yapılan doğru faaliyetler zaman ve bütçe israfına neden olabilir. Buna örnek olarak, EKDA'nın uygulanmasının gerekli olup olmadığının belirlenmesi için bir yol bulunması gerekliliği gösterilebilir. Bu analizin hangi durumlarda uygulanacağı bir gerekçeye dayandırılmalıdır. Aksi takdirde zaman ve kaynak israfı olur. Literatürde, bir uydunun dengeleme gerilim devresinin WCAA'sını yapan bir çalışmadan da görülebileceği gibi, tüm çalışmalar EKDA'nın ne zaman uygulandığı yerine nasıl uygulandığına odaklanmaktadır [11].

Tüm bu hususlar dikkate alındığında, yeni bir güvenilirlik anlayışı ile güvenilirlik program planında yeni bir metodolojinin uygulanması gerekliliği kendini göstermektedir. Bu çalışmada, yeni güvenilirlik planı yaklaşımı ile bir yandan tüm analizler tek bir pencerede ele alınırken diğer yandan ise EKDA'nın uygulanacağı devreler bir algoritma tarafından belirlenmektedir. Tasarımın güvenilirliği garanti edilirken ne kadar esneklik sunulabileceğinin belirlenmesi bir başka önemli husustur. Güvenilirlik, maliyet, tasarımın karmaşıklığı ve proje takvimi gibi bir dizi başka faktörle birlikte dengelenmesi gerektiğinden, bu dengeyi sağlayacak bir yol izlenmelidir. Aksi takdirde, çok güvenilir bir sistem tasarlamak kolaydır. Ancak, bütçe kalemlerinin aşılmasına veya takvimin uzamasına neden olabilir. Güvenilirlik alanında sunulabilecek esneklik miktarının belirlenmesi bu nedenle çok önemlidir.

Bu çalışmanın devamında, güvenilirlik mühendisliği üzerine genel bilgi verildikten sonra yeni güvenilirlik planı yaklaşımı hakkında bilgi verilecek ve metodoloji tanıtılacaktır. Bu yeni yaklaşım örnek bir sinyal tetikleme devresinde gösterilecek ve bu devre üzerinde güvenilirlik tahmin analizi ile en kötü durum devre analizi bu metodoloji ile uygulanacaktır. Son bölümde ise tüm bu uygulamalardan yola çıkarak kazanımlar üzerine bir sonuç değerlendirmesi sunulacaktır.

2. GÜVENİLİRLİK MÜHENDİSLİĞİ

Güvenilirlik, ekipmanların ya da sistemlerin görev ömrü süresince, belirli ortam koşullarında kendilerinden beklenen görevi yerine getirebilme olasılığıdır [1]. Bu başarımın sağlanabilmesi için ekipmanın geliştirme süreci boyunca farklı nicel ve nitel güvenilirlik analizleri gerçekleştirilmektedir. Nicel güvenilirlik analizleri ile alternatif tasarım çözümleri arasında getiri götürü analizi yapma ve ölçülebilir güvenilirlik hedef değerleri ortaya konmaktadır. Nitel analizler doğrultusunda ise oluşabilecek hataların öngörülmesi ve bu hataların tasarım değişiklikleri ile ortadan kaldırılması amaçlanmaktadır.

Bu bölümün devamında başlıca güvenilirlik analizleri hakkında genel teknik bilgi verilecektir.

2.1. Güvenilirlik Tahmin Analizi

Güvenilirlik tahmini analizi, belirli koşullar altında belirli bir süre boyunca bir sistemin veya bileşenin güvenilirliğini veya başarı olasılığını tahmin etmek için mühendislik ve ürün geliştirmede kullanılan sistematik bir süreçtir. Güvenilirlik tahmininin amacı, bir sistemin veya bileşenin, çalışma ömrü boyunca arıza veya arıza olmadan amaçlanan işlevlerini yerine getirme olasılığının değerlendirilmesidir [12].

2.1.1. Hata oranı ve sayısal güvenlik değeri

Hata oranı, bir parçanın ya da birimin belirli bir süre içerisinde hata yapma sıklığını ifade etmek için kullanılan bir terimdir. Hata oranı λ ile gösterilir ve birimi FIT'dir (Failure in Time). FIT saat başına yapılan 10^{-9} mertebesindeki hata oranını ifade etmektedir. Oluşabilecek rastlantısal hatalar, üretim hataları, tasarım hataları ya da görev sonu hataları gibi hatalar, hata oranını yükselten parametrelerdir. Elektrik, Elektronik ve Elektromekanik (EEE) parçaların hata oranını elde etmek için literatürde çeşitli modellerin yer aldığı standartlar ve el kitapları bulunmaktadır (ECSS-Q-HB-30-08A). Uzay uygulamalarında hata oranı hesaplamaları için uygulanacak yaklaşımlardan ve standartlardan bahsetmektedir. Hata oranı ve sayısal güvenilirlik değeri hesaplamak/elde etmek için [ECSS-Q-HB-30-08A]'da belirtilen 2 farklı yaklaşım uygulanabilmektedir:

- 1- MIL-HDBK-217F (Notice 1, 2) ve ANSI-VITA-AV51DOT1 standartlarında ya da benzer el kitaplarında verilen metotların kullanımı ve bunları hata oranları için veritabanı olarak kullanmak
- 2- Parça üreticisinden alınan verilerin kullanımı

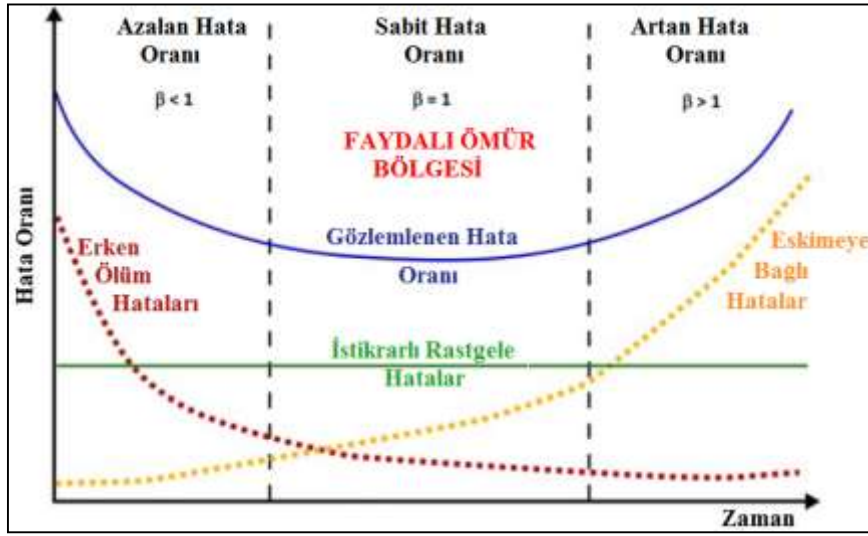
Bu el kitapları pasif (örneğin Dirençler, kapasitörler vb.) ve aktif bileşenler (transistörler, diyotlar, entegre devreler vb.) için hata oranı verilerini içermekle beraber bunların sabit bir hata oranı kullanılarak modellenebileceğini söylemektedir. Benzer bir şekilde bazı özel mekanik komponentler için güvenilirlik tahmini verilerini sunan NSWC-11 el kitabı da sabit hata oranını temel almaktadır.

2.1.2. Küvet eğrisi

Küvet eğrisi güvenilirlik dünyasında bir sistemin ömrünü tanımlamak amacıyla kullanılan grafiksel gösterimdir ve üç bölgeden oluşur:

- Erken Ölüm Bölgesi: Bu bölge, sistemde kullanılan malzeme veya komponentlerin zayıflıklardan ya da üretim sürecindeki belli başlı süreç eksikliklerinden kaynaklanan, rastgele olmayan erken hataların ortaya çıkmasını temsil eden bölgedir. Geliştirilen sistemlerde, bu hatalardan kaçınılabilmesi için çeşitli testler (örneğin Yüksek Hızlandırılmış Ömür Testi veya “Burn-in” Testi gibi) uygulanır. Bu hatalar genelde ilk 1000-1200 saatlik kısımda görülür.
- Faydalı Ömür Bölgesi: Bu bölge ise sistemlerin hata oranlarının zamanla değişmediği ve sabit kaldığı varsayılarak rastgele hataların gerçekleşeceği ve literatürde faydalı ömür diye tabir edilen sistemlerin normal çalışma zamanı olarak hedeflendiği bölgesidir. Çalışmaya başlamasıyla aşınmaya başlayan mekanik parçalar için sabit hata oranı anlamlı olmamaktadır. Ancak birçok elektronik bileşende rastgele hata yapma prensibine dayalı bu bölgenin kullanımı geçerli sayılmaktadır. Çünkü sistemin kullanım süresi elektronik bileşenin aşınma fazına ulaşması için geçen süreden önemli ölçüde kısa seçilmektedir ve dolayısıyla erken ölümden sonraki hatalar o kadar yayılır ki zaman içerisinde rastgele olarak kabul edilebilirler.
- Eskime (Aşınma) Bölgesi: Hata oranının zaman içinde arttığı elektronik barındıran bir sistem için kullanım süresinden sonraki dönemi temsil eder. Sistemin servis ömrü dolmadan çoğu hareketli mekanik parçada aşınma fazı başlayacaktır. Bunların

hatalarını önlemeye yönelik planlı bakım uygulanırken, bakım yapılamayacak olanlar için ise buna uygun materyal seçimi ve tasarımı yapılır. Hava taşıtındaki röleler, jeneratörler, anahtarlama cihazları, motor parçaları ve hidrolik bileşenler, aracın senelerce güvenilir bir şekilde çalışmasını sağlamak için, genellikle hata yapması beklenmeden önce periyodik olarak değiştirilirler. Ancak uydu ve uzay araçlarında ise yer istasyonu haricinde planlı veya plansız bakım yapmak mümkün olmamaktadır.



Şekil 2.1. Küvet eğrisi ve β weibul parametresi [13]

Yukarıda, Şekil 2.1’de, bahsedilen küvet eğrisi fazları gösterilmektedir. Ayrıca sunulan weibull dağılımı parametrelerinin değişimine bağlı olarak bu fazların hangi tür hatalara karşılık geldiği verilmiştir. Weibull dağılımı havacılık ve uzay uygulamalarında üstel dağılımdan sonra en çok kullanılan ikinci dağılımdır. Ayrıca yukarıdaki grafikten de görüleceği üzere $\beta=1$ alındığı durumda weibull ve üstel dağılım eşit olmaktadır.

Sayısal güvenilirlik değeri hesaplamalarında genel olarak üstel dağılım fonksiyonu kullanılmaktadır [14]. Belirli bir görev süresinde sayısal güvenilirlik değeri R_s , Denklem 1’de verildiği gibi hesaplanır:

$$R_s = e^{-\lambda_s t} \quad (2.1)$$

Burada λ_s sabit hata oranını ve t görev süresini ifade etmektedir.

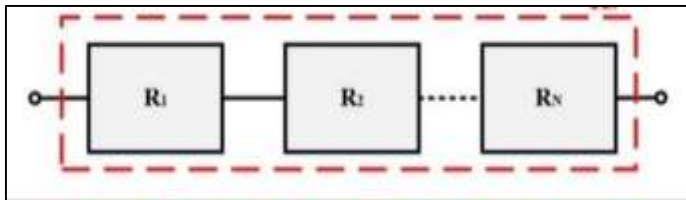
Hata oranı yüksek olan ekipmanlar için tasarım değişikliğine gidilmesi, mimaride

yedekleme yapılması gibi hata oranını düşürüp güvenilirliği arttıran yaklaşımların izlenmesi gerekmektedir. Yedekleme işlemi; bir sistemin veya bileşenlerinin işlevlerini herhangi bir hata durumunda işlev kaybı yaşamadan yerine getirilmesini güvence altına almak amacıyla aynı işlevi yerine getiren farklı ya da özdeş tasarımların mimariye eklenmesi ile sağlanır.

2.1.3. Güvenilirlik blok diyagramı

Sayısal güvenilirlik değeri hesaplamalarında yedeklilik yaklaşımını göstermek ve hesaplamalara dahil etmek için güvenilirlik blok diyagramları kullanılmaktadır [14]. Yedekli olmayan bloklar güvenilirlik blok diyagramında seri bağlı olarak; yedekli olan bloklar güvenilirlik blok diyagramında paralel bağlı olarak gösterilmektedir. Eş. 2.1 yardımıyla elde edilen ekipmanın güvenilirlik değeri ve modellenen güvenilirlik blok diyagramlarında gösterilen yedeklilik yaklaşımına göre Eş. 2.2, Eş. 2.3 ve Eş. 2.6'da verilen formüller kullanılarak alt kırımların güvenilirlik değerleri elde edilmektedir.

Seri Bağlı Sistemler, güvenilirlik blok diyagramında seri bağlı olarak gösterilen bloklarlardır ve herhangi birinde oluşacak olası bir hata, tüm sistemin hata vermesine sebep olmaktadır. Bu seri bloklar, tek bir komponenti temsil edebileceği gibi, tasarlanan sisteme bağlı olarak alt sistem ya da ekipman da olabilir. Kırılım sisteminizin yedeklilik yaklaşımı ile birlikte hiyerarşik yapısı ile doğrudan ilişkilidir. Şekil 2.2'de seri bağlı bir sistemin güvenilirlik blok diyagramı gösterilmiştir. Şekil 2.2'de görüldüğü gibi sistem, kendisinden beklenen şekilde görevini sürdürebilmesi için tüm blokların çalışır durumda olması gerekmektedir.



Şekil 2.2. Seri bağlı sistem güvenilirlik blok diyagramı

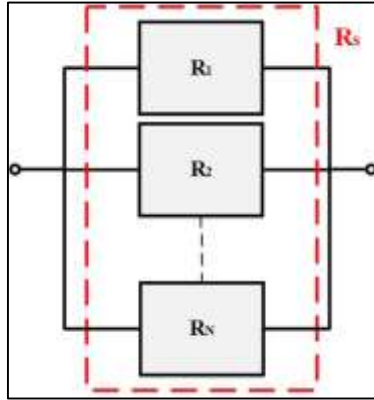
Güvenilirlik açısından seri bağlı blokların güvenilirlik değeri Eş. 2.2'de verilen formül ile hesaplanmaktadır.

$$R_s = e^{-\lambda_s t} = \prod_{i=1}^N R_i = e^{-(\sum_{i=1}^N \lambda_i)t} \quad (2.2)$$

Burada R bloğun güvenilirlik değerini; λ bloğun hata oranını; R_s sistemin güvenilirlik değerini; λ_s sistemin hata oranını ve t görev süresini ifade etmektedir.

Paralel Bağlı Sistemlerde ise yedeklilik durumunu göstermek için paralel bağlı bloklar kullanılmaktadır. Yedeklilik, sıcak/soğuk (aktif/pasif) yedeklilik olarak iki kategoride sınıflandırılmaktadır.

- a. Sıcak (Aktif) Yedekli Sistemler: Sıcak yedekli sistemlerde asıl ve yedek blokların her biri aktif olarak, güç verilmiş olarak çalışmaktadır. Asıl blokta bir hata ortaya çıkması durumunda yedek bloğun açılması için ekstra bir işleme (anahtarlama, vb.) ya da zamana gerek duyulmamaktadır. Sıcak yedekli bir sistemin güvenilirlik blok diyagramı Şekil 2.3'de gösterilmiştir.



Şekil 1.3. Sıcak yedekli sistem güvenilirlik blok diyagramı

Sıcak yedekli sistemlerin güvenilirlik değeri Eş. 2.3'te [14] verilen formül ile hesaplanmaktadır.

$$R_s = e^{-\lambda_s t} = 1 - \sum_{i=0}^{M-1} \binom{N}{i} R^i (1-R)^{N-i} \quad (2.3)$$

$$q = \frac{\lambda_{\text{off}}}{\lambda_{\text{eq}}} \quad (2.5)$$

Burada çevrim oranı D ve sistemin nihai depolanmış hata oranı faktörü q ile gösterilmiştir. Soğuk yedekli sistemlerde güvenilirlik değeri Eş. 2.6'da [15] verilen formül ile hesaplanmaktadır:

$$R_s = e^{-\lambda_s T} = R^M \left\{ 1 + \sum_{i=1}^{N-M} \frac{(1 - R^q)^i}{i!} \prod_{j=1}^i \left(\frac{M}{q} + j - 1 \right) \right\} \quad (2.6)$$

Burada N blokların sistemdeki mevcut sayısını; M görev için tanımlanmış performansı yerine getirmek için gereken minimum blok sayısını; R bloğun güvenilirlik değerini; R_s sistemin güvenilirlik değerini; λ_s sistemin hata oranını ve t görev süresini ifade etmektedir.

2.1.4. Hedeflerin uygulanabilirliği tekniği

Bu teknik temelde, mekanik-elektrik sistemler için güvenilirlik tahsis yöntemi olarak geliştirilmiştir. Bu yöntem genellikle tasarımın ilk evrelerinde sistem seviyesi gereksinim kullanılarak alt sistem, ekipman ya da kart seviyesi güvenilirlik hedeflerinin belirlenmesi amacı ile kullanılmaktadır. Bu teknikte güvenilirlik tahsis faktörleri sistem karmaşıklığının, gelişmişlik seviyesinin, çalıştırılma süresinin ve maruz kalacağı çevresel koşulların sayısal ağırlık oranlarının bir fonksiyonu olarak hesaplanmaktadır. Her ağırlık oranı 1'den 10'a kadar değişen değerlerde olup, aşağıdaki tanımlara göre verilmektedir [16]:

- 1- Sistem Karmaşıklığı (System Intricacy): Sistem karmaşıklığı, sistemi oluşturan parçaların/bileşenlerin olası sayıları ve bu parçaların/bileşenlerin bir araya geldiği durumdaki karmaşıklığı dikkate alınarak değerlendirilmektedir. En az karmaşık birimin derecesi 1, en karmaşık birimin derecesi 10 olarak belirlenmektedir.
- 2- Gelişmişlik Seviyesi (State-of-the-Art): Her alandaki mevcut mühendislik gelişim durumu göz önüne alınmaktadır. Teknolojik anlamda en az gelişmişlik seviyesine sahip tasarım ya da yöntem derecesi 10, en fazla teknolojik gelişmişlik seviyesine sahip tasarım ya da yöntem derecesi 1 olarak belirlenmektedir.

- 3- Çalıştırılma Süresi: Görev süresinin tamamı boyunca çalışan birim derecesi 10, görev süresi boyunca en az çalışan birim derecesi 1 olarak belirlenmektedir.
- 4- Çevre Koşulları: Görev süresi boyunca en zorlayıcı çevresel koşullar altında çalışması beklenen birim derecesi 10, en az zorlayıcı çevresel koşullarda çalıştırılması beklenen birim derecesi 1 olarak belirlenmektedir.

Yukarıda bahsedilen ağırlık oranları, mühendislik bilgilerine ve deneyimlerine dayandırılıp, mühendislik ekipleri arasında ortak bir karar verilerek belirlenmektedir.

Yeni tasarlanacak bir sistemde kullanılması muhtemel parça/bileşen türleri tahmin edilerek ve bunların kullanımının güvenilirliğe ne gibi bir etkiye sahip olacağı değerlendirilmelidir. Bir bileşenin belirli bir ortamda güvenilirliğinin azaldığı kanıtlandıysa o parça/bileşen için çevre koşulları sayısal ağırlık oranı yükseltilmelidir.

Güvenilirlik tahsis faktörleri atandıktan sonra atanan sayısal ağırlık oranları çarpılarak birim için genel bir ağırlık değeri elde edilir ve birim sayısal ağırlık oranlarının toplamı 1 olacak şekilde normalleştirilir.

Güvenilirlik Tahsis tekniğinde kullanılan temel formüller şu şekildedir [16]:

$$\lambda_S T = \sum_{k=1}^L \lambda_k T \quad (2.7)$$

$$\lambda_k = C_k \lambda_S \quad (2.8)$$

$$C_k = \frac{w_k}{W} \quad (2.9)$$

$$w_k = r_{1k} r_{2k} r_{3k} r_{4k} \quad (2.10)$$

$$W = \sum_{k=1}^L w_k \quad (2.11)$$

Burada;

λ_S : Sistem hata oranı

T : Görev süresi

λ_k : k numaralı birim için tahsis edilen hata oranı

C_k : k numaralı birim tahsis faktörü

w_k : k numaralı birim genel ağırlığı

W : Birim genel sayısal ağırlık oranlarının toplamı

r_{ik} : Yukarıda bahsedilen 4 faktör için her bir birimin sayısal ağırlık oranı

L : Toplam birim sayısı

Sistemleri oluşturan birimler için hata oranı tahsisi yapılırken yedeklilik (sıcak, soğuk, vb.) durumları göz önüne alınarak her bir birimin hata oranı, sayısal güvenilirlik değerleri kullanılarak hesaplanmaktadır.

2.1.5. Parça sayısı (parts count) ve parça gerilimi (part stress) metotları

Güvenilirlik tahmin analizinde, bir sistemin veya bileşenin güvenilirliğini değerlendirmek için hem "parça sayısı" hem de "parça gerilimi" yöntemleri kullanılabilir. Bu yöntemler, ürün ve sistemlerin performansını ve dayanıklılığını tahmin etmeyi ve geliştirmeyi amaçlayan güvenilirlik mühendisliği alanının bir parçasıdır. Bu iki yöntem arasındaki farklar metotlar üzerinden incelenebilir:

Parça sayısı (Parts Count) yöntemi

Bu tahmin yöntemi, parça gerilim (Part Stress) modellerini kullanmak için yeterli bilginin bulunmadığı teklif ve erken tasarım aşamalarında uygulanmaktadır. Yöntemi uygulamak için gereken bilgiler, genel parça türleri ve miktarları, parça kalite seviyeleri ve ekipmanın bulunacağı ortam bilgisi ile kısıtlıdır. Ekipman hata oranı, genel baz hata oranının kalite faktörü ile çarpılarak ve ardından ekipmandaki diğer bileşenler için elde edilen hata oranları ile toplanarak elde edilir [17].

Parça gerilimi (Part Stress) yöntemi

Parça gerilimi yöntemi, güvenilirlik tahminine daha ayrıntılı ve sofistike bir yaklaşım getirir. Takvim olarak projenin belirli bir olgunluğa gelmesi beklenir, dolayısıyla detay tasarım fazında kullanılır. Yalnızca tarihsel hata verilerine güvenmek yerine, sistemdeki her bir bileşenin yaşadığı spesifik baskıları ve çevresel koşulları dikkate alır. Mühendisler, her bir parçaya uygulanan elektriksel ve ısı gerilim seviyelerini analiz eder [17].

Özet olarak, parça sayısı yöntemi, geçmiş verilere dayanan ve tüm bileşenlerin benzer güvenilirlik özelliklerine sahip olduğunu varsayan daha hızlı ve daha basit bir tahmin tekniğidir. Öte yandan, parça gerilimi yöntemi, tek tek bileşen gerilim düzeylerini göz önünde bulundurarak daha doğru bir değerlendirme sağlar, bu da onu karmaşık ancak daha fazla veri ve kaynak gerektiren sistemler için uygun hale getirir. Bu yöntemler arasındaki seçim, güvenilirlik analizi için gereken ayrıntı düzeyine, takvime ve doğruluk hassasiyeti ihtiyacına bağlıdır.

2.2. Hata Türü ve Etkileri Analizi (HTEA)

HTEA, bir ürünün ya da sürecin geliştirilme aşamasında olası hatalarını belirleme ve bu hataların etkilerini önleme yöntemlerini belirlemeye yarayan analitik bir tekniktir. HTEA'nın sonuçları; ürünün ya da sürecin hatalarını önleyecek tasarım önlemlerinin belirlenmesinde, test aşamasında dikkat edilmesi gereken hususların belirlenmesinde, önleyici ve/veya düzeltici bakım aktivitelerinin tanımlanmasında ve operasyonel kısıtların belirlenmesinde kullanılmaktadır. HTEA'nın ürün ya da süreç için faydaları şu şekilde sıralanabilir:

- Oluşacak hataların düzeltilmesinden çok önlenmesine odaklanılmaktadır. Bu durum projenin ilerleyen aşamalarında, hataların çözümleri için gerçekleştirilecek değişiklik ihtiyacının daha az olmasını sağlar ve dolayısıyla takvime ve bütçeye olumlu katkısı olmaktadır.
- Ürün ya da süreç ile ilgili risklerinin belirlenmesinde ve değerlendirilmesinde kullanılmaktadır.
- Ürünün ya da sürecin olgunluğunun, güvenilirliğinin ve kalitesinin artırılmasında kullanılmaktadır.

- Benzer projelerde risk analizi için kullanılmak üzere standartlaştırılmış bir metot oluşturulabilir. Oluşturulan HTEA başka projeler için referans olarak kullanılabilir.

Yaygın olarak Fonksiyonel HTEA ve Donanım HTEA türleri kullanılmaktadır. Proje ve ürün ihtiyaçlarına göre uygulanacak HTEA tipine karar verilmektedir.

- Fonksiyonel HTEA: Öncelikli olarak analiz edilecek ürüne ait fonksiyonlar, ürünü oluşturan alt seviye birimler ile ilişkilendirilerek belirlenmektedir. Her fonksiyonun muhtemel hata durumları ilgili görev fazı ve operasyon modu dikkate alarak irdelenir. Hatanın olası sebepleri, değişik seviyelerdeki etkileri ve buna bağlı kritikliği belirlendikten sonra hatanın olası tespit yöntemleri, belirtileri ve önleyici/telafi edici tasarım provizyonları ortaya konur. Aynı fonksiyonel hatanın görev fazı ve operasyon moduna göre farklı etkilere ve kritikliklere sebep olduğu durumlarda bu hata durumları ayrı ayrı incelenmektedir. Kompleks entegre devrelerin (ASIC ve FPGA içeren) analizi ve her seviyedeki yazılımın analizi için fonksiyonel HTEA kullanılmaktadır [18].
- Donanım HTEA: Donanım seviyesinde HTEA gerçekleştirebilmek için ürünü oluşturan en küçük elemanların belirlenmesi gerekmektedir. Tasarımın olgunlaşması ile en alt birimde gerçekleşen hatanın etkileri tahmin edilebilir seviyeye gelir. Son ürünün sistem seviyesinde olduğu bir projede sistemi oluşturan her bir ekipmanın en alt birimlerine kadar kırımını üzerinden analizi gerçekleştirmek oldukça uzun ve detaylı bir çalışma gerektirmektedir. Bu sebeple genellikle son ürünün ekipman ve/veya daha alt seviye olduğu projelerde kullanılması tavsiye edilmektedir.

Değerlendirme esnasında analiz edilen her bir hata durumunun, ürünün o andaki tek hatası olduğu başka hiçbir hatası olmadığı kabul edilir. Belirlenen her bir hata durumu için olası hata sebeplerinin listelenmesi gerekmektedir. Her bir hata durumu için oluşturacakları en kötü sonuç, lokal etkileri ve son etkileri olmak üzere iki kategoride değerlendirilir ve bu sonuca göre hata durumuna bir kritiklik kategorisi atanır. Endüstride, HTEA analizlerinde kritiklik kategorisi atanırken [18] kaynak dokümanı Çizelge 4.1'deki kritiklik kategorisi tanımlamaları referans alınmaktadır. Kritiklik kategorileri belirlenirken hatanın telafi edici veya önleyici provizyonları değerlendirmeye dâhil edilmez. Örnek vermek gerekirse ilgili hata durumuna ilişkin olarak üründe yedeklilik bulunması veya hatanın tespit edilebilir olması hatanın kritiklik kategorisini değiştirmez.

Çizelge 2.1. Hata etkileri kritiklik kategorisi

Kritiklik Kategorisi	Kritiklik Seviyesi	Açıklama
Ölümcül	1	Oluşan hata yayılabilir.
Kritik	2	Oluşan hata nedeniyle görev kaybı olabilir.
Majör	3	Hata ekipman ya da sistemin performans parametrelerini majör seviyede etkileyebilir.
Minör	4	Hata ekipman performansını minör derecede etkileyebilir ya da göz ardı edilebilir ölçüdedir.

Kritiklik kategorisi ile birlikte bazı ek indeksler hata durumu ile ilgili özel durumları belirtmek adına kullanılmaktadır [16]. Kritiklik kategorilerine ait seviyelerin yanında kullanılan “SH” eklentisi emniyet risklerini, “SP” eklentisi tekil nokta hatalarını ve “R” eklentisi, ortaya konan etkilerin ancak yedekliliğin de kaybolduğu durumda gerçekleştiğini belirtmek üzere kullanımını önermektedir.

Her bir hata durumu için olası hatayı tespit etme yöntemlerinin, hatanın görünür belirtilerinin, tasarımda mevcut olan önleyici ya da telafi edici önlemlerin belirlenmesi gerekmektedir. Eğer hatanın tespiti için ya da etkisinin ortadan kaldırılması için gerekli olan süre, ölümcül sonuçlar doğması için gereken süreden fazla ise (ölümcül sonuçlar oluşmadan hata tespit edilip duruma müdahale edilemiyorsa) bu durumların özellikle belirtilmesi gerekmektedir. Belirlenen kritik birimler için önerilen tasarım değişiklikleri ya da aktiviteler (operatör tarafından yapılacaklar gibi) varsa bu durumların da belirtilmesi gerekmektedir.

Analiz sonucunda aşağıdaki durumları kapsayan birimler kritik olarak belirlenir.

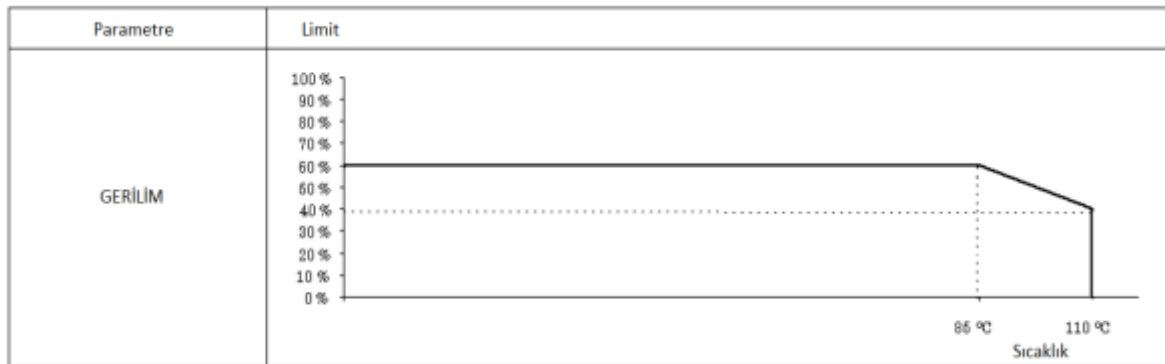
- 1- Etkisi ölümcül olan hata modları
- 2- Etkisi ölümcül, kritik ya da majör olan tekil nokta hataları

2.3. Parça Stres Analizi

Ekipmanların görev süresi boyunca EEE parçaların üzerinde elektriksel, ısı stres gibi bazı stresler oluşmaktadır. Bu stresler, parçanın ömrü, güvenilirliği ve içinde bulunduğu

ekipmanın performansını etkilemektedir. Parçaların streslere dayanıklılık seviyeleri ilgili üretici tarafından teknik tanımlama dokümanlarında tanımlanır ve bu stres seviyeleri parçaların tipine, paket özelliklerine, üreticiye ve daha birçok parametreye bağlı olarak değişkenlik göstermektedir.

Parçalara uygulanan elektriksel stres seviyelerinin belirli bir seviyenin altında kalması sağlanarak parçaların operasyon boyunca güvenilir bir şekilde çalışmalarının teminat altına alınması gerekmektedir. Kılavuz nitelikteki standartlardan biri olan ECSS-Q-ST-30-11C standardında [19] EEE ürün aileleri için kabul edilebilir stres seviyeleri verilmiştir. Parça Stres Analizi kapsamında bu gibi standartlar referans alınarak, üründe bulunan bütün EEE parçaların üzerinde oluşan stres seviyelerinin üzerinde çalışarak değerlendirilmesi gerekmektedir. Örneğin, aşağıda şekil 2.5’de kondansatörlerin gerilimi için uygulanacak olan örnek stres azaltma grafiği görülmektedir. Bu grafiği okuyacak ve tasarıma yansıtacak olursak, bu durumda 85 santigrat dereceye kadar kondansatöre veri füyünde yazan maksimum gerilimin %60’ı kadar gerilim uygulanması gerekmektedir. Bu sıcaklıktan sonra 85 ile 110 santigrat derece arasında ise maksimum gerilimin %40 oranı uygulanabilir ve komponent 110 santigrat derecenin üzerinde çalıştırılmaz. Bunun gibi her komponent ve bu komponente uygun her parametre için ayrı ayrı grafikler ve limitler bulunmaktadır. Belirlenen stres seviyelerinin üzerinde kalan parçalar için bu stres seviyesinin kabul edilebilirliğine yönelik ek çalışmalar yapılması, parça seçiminin yeniden yapılması ya da tasarım değişikliğine gidilmesi gerekmektedir.



Şekil 2.5. Kondansatör örnek stres azaltma grafiği [19]

2.4. En Kötü Durum Devre Analizi

En kötü durum devre analizi (EKDA), komponent parametrelerindeki değişim oranlarını hesaba katarak, en kötü durum senaryosu altında, yani aşırı çevre ve çalışma koşulları altında devre performansını belirleyen bir tekniktir. Çevresel koşullar, her bir devre komponentine uygulanan dış gerilimler olarak tanımlanır ve sıcaklık, radyasyon gibi etkileri belirtir. Çalışma koşulları, harici elektrik girişlerini içerir, ancak bileşen kalite seviyesi, parçalar arasındaki etkileşim ve komponent yaşlanmasından kaynaklanan sapma gibi faktörleri de dikkate almak gerekmektedir. Bir EKDA'nın çıktısı, nominal komponent parametrelerine karşı gerçek uygulanan komponent streslerinin değerlendirilmesine olanak tanır. Bu, tasarım gereksinimlerini karşılamak için yeterli komponent stress dayanımı sağlanmasına yardımcı olabilir. EKDA, güvenilirlik ve/veya finansal açıdan kritik olan tüm devreler için düşünülmelidir.

Bir EKDA'nın performansı ve sonuçlarının uygulanması, tasarıma yönelik mali ve güvenilirlik risklerini azaltabileceği gibi tasarım sorunlarının ve alternatiflerinin belirlenmesine ve neredeyse tüm çalışma koşullarında müşteri için tatmin edici bir performans sağlanmasına yardımcı olacaktır.

Anlamlı bir EKDA'yı tamamlamanın en kritik adımlarından biri, bir komponent karakteristik parametre veri tabanının geliştirilmesidir. Bu veritabanı, komponent parametre değişim oranlarının kaynaklarını ölçmek için gerekli bilgileri içerir. Aşağıda, Çizelge 2.2, bir örnek olarak verilmiştir. Değişim oranı kaynakları parametre ve komponent çeşidine göre değişiklik gösterse de genel olarak ilk tolerans, sıcaklık, yaşlanma ve radyasyon olarak 4 kategoride incelenmektedir. Komponentlerdeki değişim oranı kaynakları aşağıda Çizelge 2.3'de örnek olarak görülebilir. Sıcaklık, yaşlanma ve ilk tolerans genellikle ana değişim kaynakları iken, radyasyon özellikle yarı iletkenler için bir değişim kaynağıdır. Bu kaynaklar belirlendikten sonra, veritabanı kritik parametreler için en kötü durum sapmasını hesaplamak için kullanılabilir.

Çizelge 2.2. Parametre veritabanı örneği ve değişim oranı değerleri

Parametre	İlk Tolerans	Sıcaklık	Yaşlanma	Radyasyon	Toplam
Yük Direnci Hassasiyeti	%0.5	%0.1	%0.1	%0	0.52
Frekans Hassasiyeti	%0.1	%0.05	%0.08	%0.05	0.05
İndüktör İç Direnci Hassasiyeti	%0.5	%0.4	%0.2	%0	0.67
Kapasitör İç Direnci Hassasiyeti	%0.3	%0.3	%0.2	%0	0.47

Çizelge 2.3. Komponent değişim oranı kaynakları

Değişim Oranı Kaynağı	Transistör	Diyot	Dijital/ IC	Linear/ IC	Direnç	Kapasitör	Bobin	Röl e
Sıcaklık	X	X	X	X	X	X	X	X
Radyasyon	X	X	X	X				
Yaşlanma	X	X	X	X	X	X	X	X
İlk Tolerans	X	X	X	X	X	X	X	X

Saha performansları, komponentlerin ilk tolerans seviyelerinin ötesine kayma eğiliminde olduğunu gösterir. Komponent değişim oranının büyüklüğü, çeşitli kaynaklara bağlıdır. En kötü durum devre analizi yapılırken, sistem içinde incelenecek temel unsurlar devrenin amaçlanan işlevine bağlıdır. Sayısal devrelerin kritik zamanlaması, filtreleme ağlarının transfer fonksiyonları, yükselteçlerin özellikleri veya bir gerilim dönüştürücünün çıkış gerilimi devre performans unsurlarına örnektir [20].

EKDA üç farklı yaklaşım ile gerçekleştirilebilir: “Ekstrem Değer Analizi (EDA)”, Kök-Toplam-Kare (KTK) ve Monte Carlo Analizi (MCA) [20]. Her metotun kendine göre avantajları ve dezavantajları bulunmaktadır. Bu nedenle proje bazlı ve dinamikler göz önüne alınarak hangi metotun kullanılacağına karar verilmesi gerekmektedir.

2.4.1. Ekstrem değer analizi (EDA)

EDA tekniği, analize başlamak için en iyi teknik olarak görülmektedir. Eğer devre EDA ile yeterliliğini ispat edebiliyorsa, her zaman fonksiyonunu düzgün bir şekilde yerine getirecektir. Eğer devre EDA ile yeterliliğini ispat edemezse 2 seçenek bulunmaktadır. Ya devre EDA'ya uyana kadar revize edilecek ya da daha az muhafazakar olan KTK veya Monte Carlo Metotları ile analiz tekrar koşturulacaktır.

EDA, üç teknik içerisinde en muhafazakar yaklaşımıdır. Her ne kadar ihtimal dahilinde olsa da, tüm komponentlerde parametre değişim oranlarının aynı anda uç değerlerde olma şansı oldukça düşüktür. Bununla birlikte, tıbbi, emniyet veya yaşamı tehdit eden durumlarda kullanılan devreler için EDA, tasarımcının devrenin gerektiği gibi çalışacağından oldukça emin olmasını sağlar. Ekstrem Değer Analizi (EDA), uygulanması açık ara sayısal analiz tekniklerinin en kolay olanıdır. EDA, değerlendirilen devre parametresi için tüm bileşenlerin en kötü durum ekstrem değerlerini aynı anda uygular. Devre ekstrem değerleri uygulandıktan sonra, komponent parametreleri standart devre analizi teknikleri kullanılarak değerlendirilir. Analizin sonuçları daha sonra beklenen sonuçlarla karşılaştırılır [20].

2.4.2. Kök-toplam-kare (KTK) tekniği

En kötü durum devre analizine yönelik Kök-Toplam-Kare (KTK) yaklaşımı, istatistiksel bir yaklaşım kullanarak daha gerçekçi bir değerlendirme tekniği sağlar. Bir KTK analizi, üretilen devrelerin spesifikasyon dahilinde çalışma olasılığını sağlar. Sonuçlar, parametre sapma ve standart sapma şeklindedir, böylece performansın üç sigma limitleri belirlenebilir.

Yöntem, çok sayıda bağımsız değişken istatistiksel olarak birleştirilirse, ortaya çıkan dağılımın, birleştirilen değişkenlerin dağılım biçiminden bağımsız olarak normal bir dağılım olduğunu belirten merkezi limit teoremine dayanır. KTK, her bir komponent toleransının standart sapmasını, o komponent nedeniyle bir devrede üretilen hassasiyete dayalı olarak birleştirir.

KTK yöntemi aşağıdaki şekilde uygulanır [22]:

- Değişim oranları hesaplanır: Devredeki her bileşen için değişim oranı aralığı belirlenir. Bu genellikle yüzde veya mutlak değer olarak belirtilir. Örneğin, bir direnç $\pm 5\%$ toleransa sahip olarak belirtilirse ve nominal değeri 100Ω ise, değişim aralığı 95Ω ile 105Ω arasındadır.
- Kareler hesaplanır: Her komponentin değişim oranlarının karesi alınır. Bu, tüm değişim oranlarını pozitif yapmak ve daha büyük değişim oranlarına daha fazla ağırlık vermek için yapılır.
- Kareler toplanır: Önceki adımda hesaplanan tüm kareleri alınmış değişim oranları toplanır.
- Karekök alınır: Toplam Karekök değerini elde etmek için kareleri alınmış değişim oranlarının toplamının karekökü alınır.

2.4.3. Monte carlo analizi (MCA)

En kötü durum analizi için son yaklaşım Monte Carlo Analizidir (MCA). MCA tekniği, varsa gerçek komponent tolerans dağılımlarını kullanır. Bu dağılımlardan yararlanılabilirse, bu yaklaşım üçü arasında en gerçekçi olanıdır. Aksi takdirde, bir dağılım varsayılmalıdır ve bu yöntem, KTK yönteminden daha doğru olmayacaktır. MCA'nın sonuçları tipik olarak analiz edilen devre parametresi için bir histogram kullanılarak görüntülenir. KTK yönteminde olduğu gibi istatistiklere dayalı üretilen "iyi" devrelerin olasılığı tahmin edilmektedir. Bu tekniğin en büyük dezavantajı, istatistiksel olarak anlamlı sonuçlar elde etmek için yüzlerce yinlemeli hesaplamaların yapılması gerekmesidir, bu da Monte Carlo Analizini gerçekleştirmek için bir bilgisayar kullanmayı gerekli kılar ki günümüzde bilgisayar kullanmanın çok büyük külfeti yoktur [20].

3. ÖZGÜN GÜVENİLİRLİK ANLAYIŞI İÇİN YENİ METODOLOJİ

Bu bölümde, hali hazırda literatürde ve endüstride görülen mevcut yaklaşım açıklanacak ve sonrasında özgün güvenilirlik anlayışı olarak sunulan metodoloji anlatılacaktır. Daha sonra bu metodolojinin örnek bir devre üzerinde uygulanması ile tüm açıklamalar somutlaştırılacaktır.

3.1. Mevcut Durum

Endüstri'deki ilgili sektörlerde, herhangi bir sistem tasarımı projesinde güvenilirlik yaklaşımı tek boyuttan yönetilmektedir. Güvenilirlik Tahmin Analizi, HTEA, Derating ve EKDA ayrı ayrı uygulanmakta ve proje gereksinimlerine uyumluluğu ayrı ayrı değerlendirilmektedir. Örnek vermek gerekirse, bir sistemin, belirli bir zaman diliminde %99 oranında başarılı olması bekleniyorsa, ki bu sistemin güvenilirlik hedefinin 0.99 olması anlamına gelmektedir. Sistemin güvenilirlik tahmin analizinin gerçekleştirilmesi ve 0.99 hedef gereksinim değerinin üstünde olması beklenmektedir. Aynı zaman aralığında, paralelde HTEA gerçekleştirilmekte ve tasarımın olası hataları ve bu hatalara karşı ne kadar toleranslı olduğu analiz edilmektedir. Aynı şekilde ekipman/komponent düzeyinde de derating ve EKDA analizleri gerçekleştirilmekte ve ayrı ayrı uyumlulukları değerlendirilmektedir. Bu analizlerin hepsi ne kadar başlı başına ayrı analizler gözükse de, proje kapsamında çoğu zaman bütüncül anlamda değerlendirme gerektirecek durumlar söz konusu olmaktadır.

Öte yandan, mevcut güvenilirlik plan programları ve görevleri projelerin gerektirdiği kadar verimli görülmemekte ve bu değerlendirme 494 profesyonel tarafından gerçekleştirilen anket çalışmasından da görülmektedir [10].

Güvenilirlik alanındaki diğer bir husus, her devre yerine sadece kritik devreler için EKDA uygulandığından, ekipman tasarımının kritik devrelerini belirlemektir. Güvenilirlik Tahmin Analizi, HTEA ve Derating Analizi, EKDA'ya tabi olacak kritik devrelerin belirlenmesinde ana faktörlerdir. Güvenilirlik Tahmin Analizi ile tespit edilebilecek, zayıflık faktörü olabilecek çok yüksek hata oranına sahip devreler, adaylardan biri olabilir. Şiddeti, “Hata Yayılımı” olan hata moduna sahip olanlar ile şiddeti “görev kritik” veya “Major Fonksiyon

Kayıbı” olarak değerlendirilen Tek Nokta Hatası (SPF) hata modlarına sahip devreler kritik devre için başka bir adaydır. Buradaki tek nokta hatası, yedeği olmayan parçaları ifade eder. Derating Analizine göre ise komponentler için belirlenmiş ve izin verilen azaltılmış stres seviyelerine uyumlu olmayan bileşenlere sahip devreler de kritik olmaya ve dolayısıyla WCA tarafından analiz edilmeye adaydır [21]. Bir devreyi kritik olarak adlandırmak için başka bir kriter emniyet veya maliyet olabilir. Örneğin, Uzay alanında Güneş Panellerinin uydularda fırlatıldıktan sonra yerini alması için patlayıcı madde içeren Piroteknik maddeler gereklidir ve ateşlemek için Güç Kontrol Alt Sisteminde bir sürücü devresi vardır. Emniyet açısından kritik olduğu için bu devrenin ele alınması gerekir. Ek olarak, bir devredeki hata ya da kayıp, o sistemin maliyetli kısmını etkilediği için projede kayda değer maliyet kaybına neden olabilir [20].

Bu her iki nokta; Bütüncül güvenilirlik yaklaşımının eksikliği ve EKDA’nın hangi devrelere uygulanacağı muamması, bütüncül ve özgün bir güvenilirlik plan metodolojisi ile çözülebilir. Güvenilirlik alanında önemli noktalardan biri bu analizlerin nasıl, ne zaman ve hangi koşullarda yapılacağına karar vermektir. Tasarım sisteminin güvenilirliği garanti edilirken tasarıma ne kadar esneklik sunulabileceğinin belirlenmesi bir başka önemli husustur. Güvenilirlik, tasarımın karmaşıklığı ve takvim gibi bir dizi başka faktörle birlikte dengelenmesi gerektiğinden, bu dengeyi sağlayacak bir yol izlenmelidir. Aksi takdirde, çok güvenilir bir sistem tasarlamak kolaydır. Ancak bütçe kalemlerinin bütçeyi aşmasına veya takvimin uzamasına neden olabilir. Güvenilirlik alanında sunulabilecek esneklik miktarının belirlenmesi bu nedenle çok önemlidir. Bu esneklik literatürde tanımlanmadığı gibi analizlerin nasıl harmanlanması gerektiği de eksiktir. Bu boşluğu doldurmak için bu çalışmada sunulan özgün güvenilirlik yaklaşımı ile tüm analizler aynı çatı altında değerlendirilmektedir.

3.2. Özgün Güvenilirlik Anlayışı İçin Metodoloji

Literatürdeki bütüncül ve özgün güvenilirlik anlayışının eksikliği, projelerde sabit ve tek açılı anlayışın hakim olmasını tetiklemekte ve günün sonunda güvenilir olmayan, güvenilir olduğu sayısal açıdan ispatlanan ancak nitelik açısından ispatlanamayan tasarımlara sebep olabilmektedir. Aynı zamanda bu anlayış eksikliği, olması gerekenden çok daha güvenilir sistem tasarımlarının ortaya çıkmasına ve gereksiz maliyet kalemleri ile karşılaşılmasına da sebep olabilmektedir. Unutulmamalıdır ki güvenilirlik, sistemin ne kadar güvenilir

olduğundan çok aynı zamanda ne kadar güvenilir olamayacağı noktasında verilen esnekliktir. Sonuçta, güvenilirlik bir maliyet kalemidir ve günün sonunda sınırsız maliyet ile ucu bucağı olmayan güvenilirlikte sistemler tasarlanabilir.

Bunun yanı sıra EKDA'nın uygulanması konusunda adil olmayan, gereksiz ya da belirli bir temele dayanmayan kararlar da alınabilmektedir.

Her iki nokta da düşünüldüğünde, özgün bir güvenilirlik anlayışı ile güvenilirlik planlamasında yeni bir metodoloji uygulanması gerekliliği ortaya çıkmaktadır. Bu özgün güvenilirlik metodolojisi ile havacılık ve uzay alanındaki projelerde, tüm analizler aynı doğrultuda değerlendirilmekle beraber hangi devrelere EKDA uygulanacağı da bir algoritma ile belirlenmektedir.

Şekil 3.1'de görüleceği üzere Güvenilirlik Tahmin Analizi, HTEA, Derating Analizi ve EKDA tek bir çatı altında düşünülmekte ve hangi devrelere EKDA uygulanması gerektiği belirtilmektedir. Algoritmaya göre bazı durumlarda (şekil içerisinde 1 ile işaretlenen) algoritma karar mekanizması tasarım değişikliğinden başka bir sonucu gösteremezken, bazı durumlarda EKDA uygulanmasının gerekli olmadığı, diğer durumlarda ise EKDA uygulanma zorunluluğunu işaret etmektedir.

Tasarım değişikliğinden başka bir yolun olmadığı durumlar aşağıda listelenmektedir:

- Güvenilirlik tahmin analizi sonucunun atanmış olan hedef gereksinim değerinden %10'dan fazla oranda az olması
- İlgili ekipmanın ilgili devresinin hata yayılımına sebep olabilecek hata moduna sahip olması ve telafi metodunun sunulmaması
- İlgili ekipmanın ilgili devresinin görev kaybına yol açabilecek ya da majör fonksiyon kaybına yol açabilecek SPF hata modlarının olması
- Derating Analizi sonucunda, ekipmanın ya da uygulandığı seviyeye göre ilgili devrenin uyumsuz olan komponent sayısının toplam komponent sayısının %5'inden fazla olması

Eğer tüm analizler algoritmada belirtildiği gibi tam uyumluluk ile geçilirse (şekil içerisinde 2 ile işaretlenen), bu durumda EKDA uygulanmasına gerek duyulmamaktadır.

Diğer yandan EKDA uygulanması gerekliliğini (şekil içerisinde 3 olarak işaretlenen) doğuran diğer durumlar ise aşağıdaki gibidir:

- Güvenilirlik tahmin analizi sonucu ile atanmış olan hedef gereksinim arasındaki farkın %10'un altında olması
- İlgili ekipmanın ilgili devresinin sadece majör fonksiyon kaybına yol açabilecek SPF hata modlarının olması
- Derating Analizi sonucu uyumsuz komponent sayısının toplam komponent sayısının %5'inden az olması

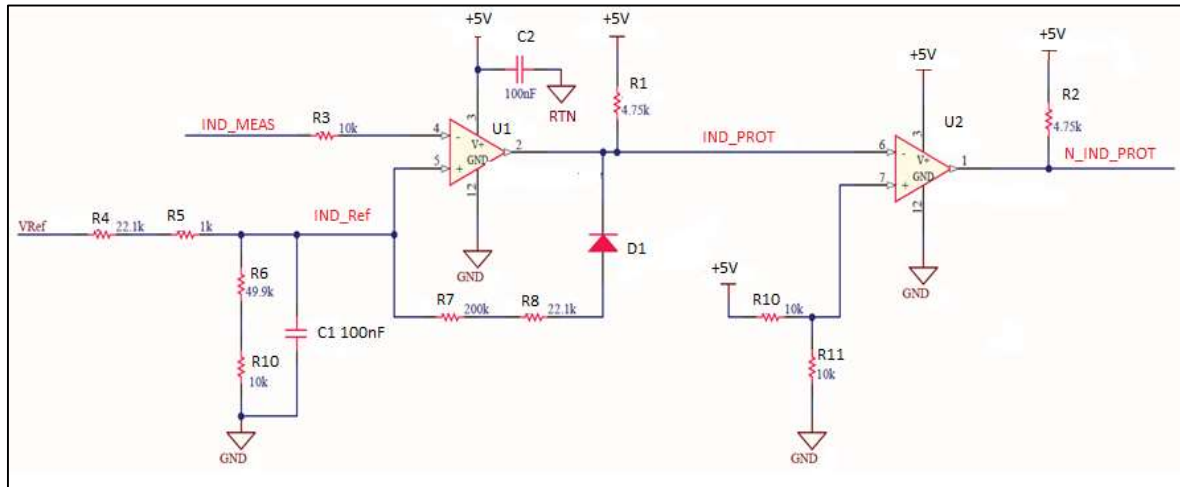
Eğer Derating Analizinin yapılmış olduğu devrede toplam 10 komponent ve daha az komponent var ise, 1 komponent uyumsuzluğu EKDA gerektirirken, 1'den fazla uyumsuzluk var ise tasarım değişikliği gerektirmektedir.

Bu tahlilde, dikkat edilmesi gereken olmazsa olmazlar vardır. Örneğin, burada derating analizinde uyumsuzluklar adı altında verilen esneklikte dikkat edilmesi gereken nokta, stres azaltma noktasında uyumsuzluklar esneklik sayılabilirken stres seviyesi katiyen komponentin veriföyünde geçen maksimum değeri aşmamalıdır. Ya da HTEA'da esneklik adı altında belirtilen hata modları için mutlaka hatanın kendisine ya da olasılığına yönelik önlem ve gerekçelerin belirtilmiş olması icap etmektedir.

4. ÖZGÜN YAKLAŞIMIN ÖRNEK DEVRE ÜZERİNDE GÖSTERİMİ

Şekil 4.1’de güvenilirli analizlerinin ve yeni yaklaşımın gösterimi için kullanılan devre bulunmaktadır. Bu devre, bobin akım ölçümü bloğunun çıkışındaki voltaj bir eşiği aştığında Latch Koruma alt devresi için bir sinyal tetiklemeyi amaçlamaktadır. Bu nedenle ard arda 2 komparatör kullanılmakta ve gereksiz durum değişiklikleri ve tetiklemelerden kaçınılmak adına histeresis uygulanmaktadır.

Şekil 4.1’de gösterildiği gibi, tek yönlü pozitif geri beslemeli ilk komparatör (U1), IND_MEAS (İndüktör Akım Ölçümü çıkışı) voltaj referansı IND_Ref’ten daha büyük olduğunda IND_PROT değerini “low” a çeker. Karşılaştırmacı U2 ise, IND_PROT için mevcut değeri tersine çevirir. Vref değeri tetiklemenin gerçekleştirileceği voltaj değerini ifade ederken, IND_MEAS gelen akımın voltaja çevrilmiş halidir. Dolayısıyla, IND_MEAS değeri, Vref değerini geçtiğinde, N_IND_PROT değeri “High” a çekilmekte ve koruma devresi tetiklenmektedir.



Şekil 4.1. Sinyal tetikleme devresi

Örnek bu devre üzerinde güvenilirlik tahmin analizi, derating analizi ve EKDA uygulanacak olup tüm analizlerden elde edilen veriler, yeni algoritma ile değerlendirilecektir. Devre üzerinde, devrenin görevi ve ekipmandaki yeri gereği HTEA’nın devre bazında yapılması anlamlı sonuçlar doğurmayacağından analiz kapsamında görev kaybına ya da hata yayılımına sebebiyet verecek bir hata olmadığı kabul edilerek devam edilecektir.

4.1. Devre Üzerinde Güvenilirlik Tahmin Analizinin Uygulanması

Güvenilirlik tahmin analizi, devrenin nicel açıdan değerlendirilmesi ve yapılan güvenilirlik alokasyon çalışmaları sonucunda devre için verilen güvenilirlik hedef gereksiniminin uyumlu olup olmadığının değerlendirilmesi için yapılmaktadır. En alt seviyede oluşabilecek herhangi zayıf bir nokta, üst seviyelerde de (ekipman, alt sistem ve sistem gibi) güvenilirlik sayısal değeri açısından uyumsuzluk yaratabileceğinden bu analiz önem arz etmektedir.

Bu analizin uygulanabilmesi için aşağıdaki adımların takip edilmesi gerekmektedir:

- Devreyi oluşturan parçaların listesi çıkarılır.
- Listeki parçaların kategorilerine göre MIL-HDBK-217F standardındaki modelleri belirlenir.
- Listedeki parçaların kalite seviyeleri, uygulanan “screening” testlerinin seviyesi ve devre üzerinde komponente uygulanan elektriksel ve ısı stres seviyeleri belirlenir.
- Hata oranları hesaplanır.
- Yedeklilik şeması çıkarılır ve bu yedeklilik şemasına göre devrenin güvenilirlik değeri ortaya çıkarılır.

Devrenin parçaları ve hata oranları, yapılan değerlendirmelere göre aşağıdaki gibidir:

Çizelge 4.1. Devrenin parçaları ve hata oranları

Parça Tasarım Referans No	Hata Oranı (FIT)
R1	0,018
R2	0,018
R3	0,018
R4	0,018
R5	0,018
R6	0,018
R7	0,018

Çizelge 4.1. (devam) Devrenin parçaları ve hata oranları

R8	0,018
R9	0,018
R10	0,018
R11	0,018
U1	1,2
U2	1,2
C1	0,017
C2	0,017
D1	0,0047

Hata oranlarının belirlenmesinde, direnç ve kapasitörler için MIL-HNDBK-217F Standardındaki modellemeler kullanılırken, karşılaştırmalı entegreler için komponent sağlayıcısının testler sonucunda belirlediği ve verdiği hata oranları direkt kullanılmıştır.

Yapılan ilk değerlendirmelerde, MIL-HNDBK-217F Standardındaki “Parts Count” metodolojisi kullanılmıştır. Bu methodoloji, standarttaki diğer metodoloji olan “Parts Stress” metodolojisine göre daha muhafazakar bir yöntem olup diğer yöntemlere göre daha düşük güvenilirlik sonuçları çıkabilmektedir [29]. Parts Count ile yapılan analizde devre içerisinde bir yedeklilik olmaması nedeniyle parça hata oranları direk toplanarak nihai devre hata oranına ulaşmakta ve bu hata oranının 2,6367 FIT olduğu görülmektedir. Ancak, bu hata oranı, devre için tahsis edilmiş olan 2,3 FIT gereksinimini karşılamamakla beraber Özgün Güvenilirlik Metodolojisi diagramında yer alan %10’luk marj içine bile dahil olamamaktadır. Dolayısıyla, tasarım değişikliğine gidilmesi uygun görülmektedir. Ancak, “Parts Count” metodolojisinin çözünürlüğünün düşük olması nedeniyle, “Part Stress” methodolojisi ile analiz tekrar edilmiştir.

“Part Stress” methodolojisinde her parça tipi ve grubu için farklı bir modelleme bulunmaktadır. Parça “Derating” analizi ve gerekli ise ısı analizinden de girdi alınan bu modellemelerde, parçanın voltaj stresi oranı, sıcaklık faktörü, kalite faktörü, çevre faktörü gibi parametreler göz önüne alınmaktadır. Bu devre için 2 adet “Ceramic Chip” kapasitör ve

11 adet “Film Insulated” direnç kullanılmıştır. Diğer parametreler için dirençler arasında ve kapasitörler arasında faktör tipleri aynı olmakla beraber, gruplar arasında verilen baz hata oranları değişmektedir. Bu durumu göstermek adına kapasitörler için standarttan bir bölüm aşağıdaki tabloda gösterilmektedir:

Çizelge 4.2. Kapasitör baz hata oranları

Tanım	Baz Hata Oranı
Capacitor, Chip, Multiple Layer, Fixed, Ceramic Dielectric	0.0020
Capacitor, Fixed, Metallized Paper, Paper-Plastic Film or Plastic Film Dielectric	0.00051
Capacitors, Fixed, Mica Dielectric	0.00076
Capacitor, Fixed, Ceramic Dielectric (General Purpose)	0.00099

Görüldüğü gibi her parça grubu içerisinde farklı kategoriler için farklı baz hata oranları verilmektedir. Bu baz hata oranları, kullanım durumlarına göre farklı faktörler ile çarpılarak hata oranları bulunmaktadır. Aşağıda 4.1 numaralı formülde dirençler için örnek olarak eşitlik verilmiştir. Formülde, sırasıyla baz hata oranı, sıcaklık faktörü, güç tüketim faktörü, güç stress faktörü, kalite faktörü, çevre faktörü çarpılarak parça hata oranı elde edilmektedir.

$$\lambda p = \lambda b \times \pi t \times \pi p \times \pi s \times \pi q \times \pi e \quad (4.1)$$

Dirençler ve kapasitörler için hata oranları standardın “Part Stress” metodolojisine göre bulunduktan sonra, hata oranları devrenin parçalarına göre aşağıdaki gibidir. Kompomatörler için hata oranları ise direkt komponent üretici firması Texas Instruments’dan alınmıştır.

Çizelge 4.3. Devrenin parçaları ve hata oranları (part stress ile)

Parça Tasarım Referans No	Hata Oranı (FIT)
R1	0,0038
R2	0,0038

Çizelge 4.3. (devam) Devrenin parçaları ve hata oranları (part stress ile)

R3	0,0029
R4	0,0029
R5	0,0029
R6	0,0029
R7	0,0029
R8	0,0029
R9	0,0029
R10	0,0029
R11	0,0029
U1	1,2
U2	1,2
C1	0,00039
C2	0,00039
D1	0,0008

Bu yöntemle elde edilen sonuca bakıldığında devre hata oranı 2.44 FIT çıkmaktadır. Bu değer devre için atanmış olan 2,3 FIT değerini sağlamamaktadır. Ancak Özgün Güvenilirlik Metodolojisi diagramında da belirtildiği gibi gereksinimle kıyaslandığında %10'luk sapma marjı dahilinde kalmaktadır.

4.2. Devre Üzerinde Stress Azaltma (Derating) Analizinin Uygulanması

Bu bölümde, devre üzerinde derating analizi uygulanacak olup, komponent bazlı parametreler, bu parametrelere uygulanması gereken standart stress azaltma oranları, uygulanan mevcut stres oranları ve bu iki değer kıyaslanması sonucunda komponentlerin uyumluluk durumları verilmektedir. Analizin tamamlanması için gerekli olan adımlar aşağıdaki gibidir:

- Devreyi oluşturan komponentlerin belirli parametreleri için nominal değerleri ve izin verilen stres seviyelerini içeren bir liste oluşturulur.
- Liste değerlendirilir ve her parametre için uygulanan değerler yazılır.
- Uygulanan stres seviyesinin izin verilen sınır değerinin altında olup olmadığı kontrol edilir.
- Uygunsuzluklar duruma göre değerlendirilir ve belirli bir gerekçeyle uygunsuzluğun kabul edilebilir olup olmadığına karar verilir.

Dirençler için güç tüketimi ve kırılma gerilimi için stress azaltma tekniği uygulanmakta olup belirli oranların takip edilmesi gerekmektedir. Uygulanan oranlar ve uyumluluk durumları aşağıdaki tablolarda verilmektedir.

Çizelge 4.4. Dirençlerde güç tüketimi parametresi derating sonuçları

Referans	Değer (Ω)	Tip	Güç Tüketimi				
			Uygulanan Güç Tüketimi (W)	Azami Güç Tüketimi (W)	Mevcut Oran (%)	Standart (%)	Uyumlu mu?
R1	4750	RM	5.30E-3	0.250	2.1%	50.0%	Evet
R2	4750	RM	5.30E-3	0.250	2.1%	50.0%	Evet
R3	10000	RM	000.00E+0	0.250	0.0%	50.0%	Evet
R4	22100	RM	125.00E-6	0.250	0.1%	50.0%	Evet
R5	1000	RM	5.70E-6	0.250	0.0%	50.0%	Evet
R6	499	RM	212.00E-6	0.250	0.1%	50.0%	Evet
R7	200000	RM	22.00E-6	0.250	0.0%	50.0%	Evet
R8	22100	RM	2.20E-6	0.250	0.0%	50.0%	Evet
R9	10000	RM	625.00E-6	0.250	0.3%	50.0%	Evet
R10	0	RM	000.00E+0	0.250	0.0%	50.0%	Evet
R11	10000	RM	625.00E-6	0.250	0.3%	50.0%	Evet

Çizelge 4.5. Dirençlerde kırılma gerilimi parametresi derating sonuçları

Referans	Değer (Ω)	Tip	Kırılma Gerilimi				
			Uygulanan Gerilim (V)	Azami Uygulanabilir Gerilim (V)	Mevcut Oran(%)	Standart (%)	Uyuml u mu?
R1	4750	RM	5	100	5%	80.0%	Evet
R2	4750	RM	5	100	5%	80.0%	Evet
R3	10000	RM	0.0005	100	0.0005%	80.0%	Evet
R4	22100	RM	1.67	100	1.67%	80.0%	Evet
R5	1000	RM	0.075	100	0.075%	80.0%	Evet
R6	49900	RM	3.25	100	3.25%	80.0%	Evet
R7	200000	RM	2.1	100	2.1%	80.0%	Evet
R8	22100	RM	0.2	100	0.2%	80.0%	Evet
R9	10000	RM	2.5	100	2.5%	80.0%	Evet
R10	0	RM	0	100	0.0%	80.0%	Evet
R11	10000	RM	2.5	100	2.5%	80.0%	Evet

Diyotlar için “reverse voltage” ve “forward current” parametreleri için stress azaltma tekniği uygulanmakta olup belirli oranların takip edilmesi gerekmektedir. Uygulanan oranlar ve uyumluluk durumları aşağıdaki tablolarda verilmektedir.

Çizelge 4.6. Diyotlarda “Reverse voltage” parametresi derating sonuçları

Komponent		"Reverse voltage"				
Sembol	Tip	Uygulanan "Reverse Voltage" (V)	Azami "Reverse Voltage" (V)	Mevcut Oran (%)	Standart (%)	Uyumluluk Durumu
D1	Switching	1.6	75	2.13%	75%	Evet

Çizelge 4.7. Diyotlarda “Forward Current” parametresi derating sonuçları

Komponent		"Forward current"				
Sembol	Tip	Uygulanan "Forward current" (A)	Azami "Forward current" (A)	Mevcut Oran (%)	Standart Oran (%)	Uyumluluk
D1	Switching	1.04E-05	0.3	0.03%	75%	Evet

Kapasitörler için kırılma gerilimi parametresi için derating analizi uygulanmakta olup uygulanan stress değerleri, izin verilen standart oranlar ve uyumluluk durumları ektedir.

Çizelge 4.8. Kapasitörlerde kırılma gerilimi parametresi derating sonuçları

Komponent		Kırılma Gerilimi				
Sembol	Değer	Uygulanan DC+AC Gerilim (V)	Azami DC+AC Gerilim (V)	Mevcut Oran (%)	Standart (%)	Uyumluluk
C1	100nF	5	50	10.0%	60.0%	Evet
C2	100nF	12	50	24.0%	60.0%	Evet

Komparatörler için ise besleme gerilimi ve giriş gerilimi derating analizine konu bahis olan parametreler olup uygulanan stress seviyeleri ve uyumluluklar aşağıdaki tablolarda verilmiştir.

Çizelge 4.9. Komparatörlerde besleme gerilimi parametresi derating sonuçları

Komponent		Besleme Gerilimi				
Sembol	Aile	Uygulanan Besleme Gerilimi (V)	Azami Besleme Gerilimi (V)	Mevcut Oran (%)	Standart (%)	Uyumluluk
U1	Komparatör	5	36	13.88%	90%	Evet
U2	Komparatör	5	36	13.88%	90%	Evet

Çizelge 4.10. Komparatörlerde giriş gerilimi parametresi derating sonuçları

Komponent		Giriş Gerilimi				
Sembol	Aile	Uygulanan Giriş Gerilimi (V)	Azami Giriş Gerilimi (V)	Mevcut Oran (%)	Standart (%)	Uyumluluk
U1	Komparatör	3.6	36	10%	100%	Evet
U2	Komparatör	5	36	13.88%	100%	Evet

Tüm komponentlerin ilgili parametreleri için derating kuralları uygulanmış ve stress azaltma kurallarına uyumsuzluk sağlayan bir komponent olmamıştır.

4.3. En Kötü Durum Devre Analizinin (EKDA) Uygulanması

Bu devrenin çalışmasında, devre içerisindeki komponent parametrelerindeki zaman ve çevresel şartlara bağlı olarak değişimlerin devre sonuç parametreleri üzerindeki etkisi, tetiklemenin gerçekleşmesi gerektiğinde gerçekleşmemesi ya da gerçekleşmemesi gerektiğinde gerçekleşmesi gibi hatalara sebebiyet vereceğinden görülen değişim oranlarının teyiti önem arz etmektedir.

Analiz aşağıda Çizelge 4.11’de belirtilen koşullar dikkate alınarak gerçekleştirilmiştir:

Çizelge 4.11. EKDA uygulama koşulları

Sıcaklık aralığı	-25°C (Minumum), +85°C (Maksimum)
Ömür süresi	15 yıl
Toplam İyonize Radyasyon Dozu	30 kRAD

Bu analiz uygulanırken tamamlanan adımlar aşağıdaki gibidir:

- En kötü opearasyon koşulları uygulanacak olan devrenin kullanılacağı sistem ve ortam için belirlenir.

- Devreden beklenen sonuçlara göre performansı incelenecek olan parametre ya da parametreler belirlenir.
- Devreyi oluşturan komponentlerin en kötü şartlarda parametrelerinin değişim oranları belirlenir.
- Devrenin tüm komponentlerin değişim oranları ile birlikte simulasyonu yapılır. Bu simulasyon sonucunda devrenin oluşturacağı cevap izlenir.
- Devrenin çıkış parametresinde oluşturduğu cevabın performans metrikleri ve gereksinimleri içerisinde yer alıp almadığı değerlendirilir.

EKDA için en önemli adımlardan biri komponentler için değişim oranlarının belirlenmesidir. Aşağıda 85 °C ve -25 °C için devredeki komponentlerdeki değişim oranları belirlenmektedir.

4.3.1. Komponent değişim oranları (85 °C)

Komponentlerin çevresel koşullara ilişkin değişim oranlarının bulunması ve buna istinaden değişim oranı veritabanının oluşturulması EKDA için en önemli aşamadır. 85 °C için komponent bazlı değişim oranları aşağıdaki gibidir:

a) Dirençler için değişim oranı

R4, R5, R6, R3, R7, R8, R1, R9, R11 ve R2 toplamda $\pm 1.8\%$ değişim oranına sahipken, değişim oranı kaynağına göre değişkenlik aşağıdaki gibidir:

Çizelge 4.12. Direnç değişim oranları (85 °C)

İlk Tolerans	$\pm 1\%$ [21]
Sıcaklık	$\pm 0.6\%$ (100ppm/°C) [21]
Radyasyon	Uygulanabilir değil (N/A)
Yaşlanma	$\pm 0.2\%$ [22]

Yaşlanma için, dirençlerin 70 °C’de ve nominal gücünün %25’inde çalıştığı düşünülmüştür [24]. R10 (jumper) direnci, 0 Ω ile 20 m Ω arası değerlerde değişkenlik gösterir.

b) Diyotlar için deęişim oranları

D1 için uygulanabilir parametre “forward voltage” deęeri olup 0.49 V ile 0.52 V arasında deęişmektedir.

Çizelge 4.13. Diyot deęişim oranları (85 °C)

İlk Tolerans	0.61 V [25]
Sıcaklık	-0.12 V (-2mV/°C) [25]
Radyasyon	Nominal Deęer Aralığında [25]
Yaşlanma	± 5 % [24]

c) Entegre Devreler için deęişim oranları

Entegre devreler için deęişim oranı kaynakları incelendiğinde aşığıdaki gibi olduęu görölmektedir:

1- Radyasyon: Nominal deęer aralığında [26]

2- Başlangıç deęerleri:

- Input Bias Akımı: -30 nA [26]
- Input Offset Voltajı: 4 mV [26]
- Cevap zamanı: 1.3 uS [26]
- Giriş empedansı: 40 M Ω [26]
- Satürasyon voltajı: 70 mV [26]

3- Yaşlanma (Aging) deęerleri:

- Input Bias Akımı: ±10 % [24] ile, Input Bias Akımı: -27 nA ile -33 nA arasında.
- Input offset voltajı: ±20 % [24] ile, Input offset voltajı: 3.2 mV ile 4.8 mV arasında.

Vref sinyali için ayrı bir entegre kullanılmakta olup üreticiden elde edilen toplam değişim oranı 0.004 V [27]'dür.

4.3.2. Sonuçlar (85 °C)

Komponent değerleri “Yüksek Akım” üst limiti, uygulanan değişim oranları için aşağıdaki gibidir:

Çizelge 4.14. Üst limit için direnç değerleri (85 °C)

Komponent	Parametre	Değer
R4	Direnç değeri (min.)	21.7 k Ω
R5	Direnç değeri (min.)	982 k Ω
R6	Direnç değeri (maks.)	50.79 k Ω
R10	Direnç değeri (maks.)	20 m Ω

Çizelge 4.15. Üst limit için entegre devre değerleri (85 °C)

Komponent	Parametre	Değer
U1	Ibias+ (min)	-27 nA
U1	Ibias- (maks.)	-33 nA
U1	Voff (maks.)	4.8 mV
Referans voltaj	Vref	5.004V

Bu set edilen değerler ile, devre “Yüksek Akım” durumu için IND_MEAS 3.46 V iken bayrak kaldırmaktadır.

Komponent değerleri “Yüksek Akım” alt limiti, için aşağıdaki gibidir:

Çizelge 4.16. Alt limit için direnç değerleri (85 °C)

Komponent	Parametre	Değer
R4	Direnç değeri (maks.)	22.49 k Ω
R5	Direnç değeri (maks.)	1006 Ω
R6	Direnç değeri (min)	49 k Ω
R10	Direnç değeri (min)	0 m Ω

Çizelge 4.17. Alt limit için entegre devre değerleri (85 °C)

Komponent	Parametre	Değer
U1	Ibias+ (maks.)	-33 nA
U1	Ibias- (min)	-27 nA
U1	Voff (min)	3.2 mV
Referans voltaj	Vref	5.004V

Bu set edilen değerler ile, devre “Yüksek Akım” durumu için IND_MEAS 3.38 V iken bayrak kaldırmaktadır.

4.3.3. Komponent değişim oranları (-25 °C)

85 °C’de olduğu gibi diğer bir ekstrem koşul olan -25 °C için de komponent değişim oranlarının ortaya konması gerekmektedir.

a) Dirençler için değişim oranları

R4, R5, R6, R3, R7, R8, R1, R9, R11 ve R2 toplamda $\pm 1.7\%$ değişim oranına sahipken, değişim oranı kaynağına göre değişkenlik aşağıdaki gibidir:

Çizelge 4.18. Direnç değişim oranları (-25 °C)

İlk Tolerans	$\pm 1 \%$ [23]
Sıcaklık	$\pm 0.5 \%$ (100ppm/°C) [23]
Radyasyon	Uygulanabilir değil (N/A)
Yaşlanma	$\pm 0.2 \%$ [24]

Yaşlanma (Aging) için, dirençler 70 °C’de ve nominal gücünün %25’inde çalıştığı düşünülmüştür. ([22] – Figure 7.26.8). Direnç R10 (jumper) 0 Ω to 20 m Ω arasında bir direnç değerine sahiptir.

b) Diyotlar için değişim oranları

D1 “forward voltage” 0.71 V ile 0.74 V arasında değişmektedir. Sıcaklık nominal olarak 25 °C alınmıştır.

Çizelge 4.19. Diyot değişim oranları (-25 °C)

İlk Tolerans	0.61 V [25]
Sıcaklık	0.1 V (-2mV/°C) [25]
Radyasyon	Nominal Değer Aralığında [25]
Yaşlanma	$\pm 5 \%$ [24]

c) Entegre Devreler için değişim oranları

Entegre devreler için değişim oranı kaynakları incelendiğinde aşağıdaki gibi olduğu görülmektedir:

1- Radyasyon: Nominal değer aralığında [26]

2- Başlangıç değerleri:

- Input Bias Akımı: -55 nA [26]
- Input Offset Voltajı: 1 mV [26]

- Cevap zamanı: 1.3 μS [26]
- Giriş empedansı: 40 $\text{M}\Omega$ [26]
- Satürasyon voltajı: 50 mV [26]

4- Yaşlanma (Aging) değerleri:

- Input Bias Akımı: $\pm 10\%$ [24] ile, Input Bias Akımı: -49.5 nA ile -60.5 nA arasında.
- Input offset voltajı: $\pm 20\%$ [24] ile, Input offset voltajı: 0.8 mV ile 1.2 mV arasında.

Vref sinyali için ayrı bir entegre kullanılmakta olup üreticiden elde edilen toplam değişim oranı 0.003 V [27]'dür.

4.3.4. Sonuçlar (-25 °C)

Yüksek akım üst limiti için komponent değerleri aşağıdaki gibi değerlendirilmektedir:

Çizelge 4.20. Üst limit için direnç değerleri (-25 °C)

Komponent	Parametre	Değer
R4	Direnç değeri (maks.)	21.72 $\text{k}\Omega$
R5	Direnç değeri (maks.)	983 Ω
R6	Direnç değeri (min)	50.74 $\text{k}\Omega$
R10	Direnç değeri (min)	20 $\text{m}\Omega$

Çizelge 4.21. Üst limit için entegre devre değerleri (-25 °C)

Komponent	Parametre	Değer
U1	Ibias+ (min)	-49.5 nA
U1	Ibias- (maks.)	-60.5 nA
U1	Voff (maks.)	1.2 mV
Referans voltaj	Vref	5.003V

Belirlenen bu değerler ile, devre $\text{IND_MEAS} = 3.44 \text{ V}$ iken “yüksek akım” için bayrak kaldırmaktadır.

“Yüksek akım” alt limiti için komponent değerleri aşağıdaki gibi değerlendirilmektedir:

Çizelge 4.22. Alt limit için direnç değerleri (-25 °C)

Komponent	Parametre	Değer
R4	Direnç değeri (maks.)	22.47 k Ω
R5	Direnç değeri (maks.)	1017 Ω
R6	Direnç değeri (min)	49.05 k Ω
R10	Direnç değeri (min)	0 m Ω

Çizelge 4.23. Alt limit için entegre devre değerleri (-25 °C)

Komponent	Parametre	Değer
U1	Ibias+ (maks.)	-60.5 nA
U1	Ibias- (min)	-49.5 nA
U1	Voff (min)	0.8 mV
Referans voltaj	Vref	5.003V

Belirlenen bu değerler ile, devre IND_MEAS = 3.4 V iken “yüksek akım” için bayrak kaldırmaktadır.

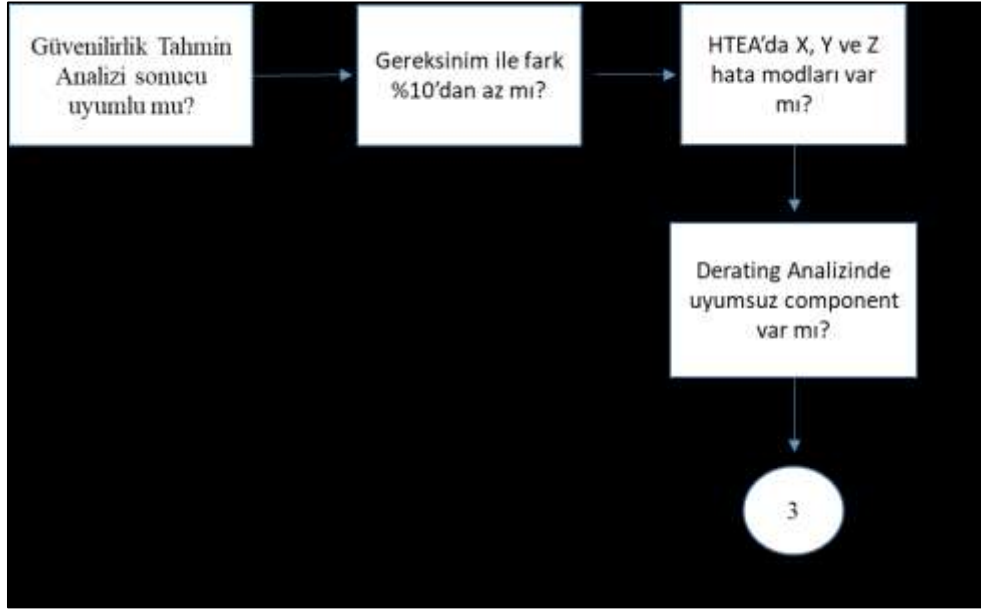
4.3.5. Analiz sonucu

Analiz sonucunda, yüksek akım tespiti için IND_MEAS limit uç değerlerinin 3.38 V ile 3.46 V olduğu görülmektedir. Bu nominal değer olan 3.41 V'dan -0.87% ve +1.46% oranında sapma olduğunu göstermektedir. Ancak bu devreye gelebilecek voltaj değeri değerlendirildiğinde bu tolerans değerlerinin bayrak kaldırılmaması gereken yerde sinyal tetiklemenin gerçekleşmesi ya da bayrak kaldırılması gereken noktada sinyal tetiklemenin gerçekleşmemesi gib durumlara sebebiyet vermeyeceği değerlendirilmektedir.

4.4. Tartışma

Bu bölüme değin özgün algoritmanın yapısı, güvenilirlik analizleri ve bu analizlerin nasıl uygulandığına dair bilgiler verilmiştir. Ayrıca, bu uygulama örnek bir devre üzerinden de işletilmiştir. Devre, güvenilirlik analizine tabi tutulmuş ve hesaplanan güvenilirlik değerinin tahsis edilen güvenilirlik hedefinin altında olduğu ancak aradaki farkın algoritmanın esneklik sağladığı %10 marj içinde olduğu görülmüştür. Sonrasında Parça Stress Azaltma (Derating) analizi ile stres azaltma kriterlerine uyumsuz komponent olup olmadığı analiz edilmiş ve uyumsuz komponent olmadığı ortaya konmuştur. Ekipmanı etkileyebilecek bir

hata modu olmaması varsayımı ile de devam edildiği için EKDA uygulanması sonucuna varılmıştır. Bu karar işleyişi, aşağıdaki şekilde de izlenebilir. Bu gösterim, Şekil 3.1'deki özgün algoritmanın basitleştirilmiş halidir. Eğer, HTEA veya Parça Stres Azaltma analizlerinde büyük uyumsuzluklar olsa idi karar tasarım değişikliğine evrilecekti. Bu karar sonrası ilgili devrede EKDA uygulanmış ve değiştirilen parametrelere göre devre performansının istenilen pencere dahilinde kaldığı görülmüştür.



Şekil 4.2. Uygulamanın algoritma üzerinde gösterimi

Bu örnek üzerinden de görülebileceği üzere normal şartlar altında kabul edilemeyecek olan bu devre diğer analizler ile rüştünü ispat etmesi üzerine bir analiz üzerindeki minör bir sapmanın özgün ve kapsayıcı bir güvenilir planı ile tolere edilebileceği sonucu ortaya çıkmıştır.

Diğer önemli bir nokta ise EKDA'nın hangi durumlarda uygulanıp hangi durumlarda uygulanmayacağı noktası da kalıcı bir şekilde aydınlığa kavuşmaktadır. Normalde, fazlasıyla subjektif olan bu durum objektif gerekçelere bağlanmış olmaktadır.

Literatürdeki iki eksik nokta bu çalışmayla tamamlanmaktadır: Özgün ve esnek güvenilirlik planı ile EKDA'nın hangi durumlarda uygulanacağı.

5. SONUÇ VE ÖNERİLER

Güvenilirlik analizleri, tasarlanan bir sisteme ne kadar güvenilebileceğimizi gösteren nitel ve nicel araçlardır. Tasarımlarımızın ne ölçüde doğru sonuçlar vereceğini görmemiz için birer fırsattır. Bu kapsamda, çalışma içerisinde Güvenilirlik Tahmin Analizi, Hata Türü ve Etkileri Analizi, “Derating” Analizi ve En Kötü Durum Devre Analizi (EKDA) anlatılmakta ve uygulanmaktadır. Can alıcı nokta, bu analizlerin hangi sırayla, hangi ölçüde ve hangi planla yer alacağının karar verilmesidir. Diğer önemli bir nokta ise tasarlanan sistemin güvenilirliği teminat altına alınırken ne ölçüde esneklik sağlanabileceğinin tespit edilmesidir. Çünkü, güvenilirlik, bütçe, tasarım karmaşıklığı ve takvim gibi diğer parametrelerin de yer aldığı bir kümede yer almaktadır ve bu parametrelerin getiri-götürüsünün iyi yapılması gerekmektedir. Aksi takdirde, çok güvenilir bir sistem yapılması hali hazırda kolay olmakla beraber bütçe kalemlerini çokça artırabilir ya da takvimin uzamasına sebebiyet verebilir. Bu nedenle sağlanabilecek esneklik ölçüsünün belirlenmesi önem arz etmektedir.

Bunun yanı sıra EKDA’nın uygulanma gerekliliğinin belirlenmesi, hangi durumlarda uygulanacağını bir temele dayandırılması ihtiyacı hasıl olmaktadır.

Her iki nokta da düşünüldüğünde, özgün bir güvenilirlik anlayışı ile güvenilirlik planlamasında yeni bir metodoloji uygulanması gerekliliği ortaya çıkmaktadır. Tam bu doğrultuda, bu tez çalışmasında özgün güvenilirlik metodolojisi ile tüm analizler aynı doğrultuda değerlendirilmekle beraber hangi devrelere EKDA uygulanacağı da bir algoritma ile belirlenmektedir.

Şekil 3.1’de görüleceği üzere Güvenilirlik Tahmin Analizi, HTEA, Derating Analizi ve EKDA tek bir çatı altında düşünülmekte ve hangi devrelere EKDA uygulanması gerektiği belirtilmektedir. Algoritmaya göre bazı durumlarda karar mekanizması tasarım değişikliğinden başka bir sonucu gösteremezken, bazı durumlarda EKDA uygulanmasının gerekli olmadığı, diğer durumlarda ise EKDA uygulanma zorunluluğunu işaret etmektedir.

Çalışma ile önerilen algoritma bir sinyal tetikleme devresi üzerinde örneklendirilerek tanıtılmış ve güvenilirlik tahmin analizi sonucu güvenilirliği hesaplanmıştır. Bu hesaplama sonucunda, ilk iterasyonda güvenilirlik değeri düşük çıkarken ikinci iterasyonunda

güvenilirlik değeri %10 marj penceresi içerisinde kaldığından EKDA uygulanması gerekliliği doğmuştur. Diğer analizlerin uygulanması sonucunda ise tasarım değişikliğini gerektirecek bir sonuç çıkmamaktadır. Uygulanan En Kötü Durum analizi sonucunda yüksek akım tespiti için IND_MEAS limit uç değerlerinin 3.38 V ile 3.46 V olduğu değerlendirilmiş ve tolerans band genişliğinin içinde olduğu mütalaa edilerek devrenin güvenilirliği teminat altına alınmıştır.

Normal koşullarda endüstri ve literatür tarafından uygulanan analizlerle kabul görmeyecek ve teminat altına alınamayacak olan bu devre, önerilen özgün güvenilirlik anlayışı sayesinde kabul görmüş ve olası takvim gecikmesi, bütçe kalem artışı ya da tasarım komplekslik artışının önüne geçilmiştir. Bu çalışma göstermiştir ki, özgün güvenilirlik anlayışı sistem tasarımına verilen esnekliktir ve bu esnekliğin belirlenmesinde önemli rol oynamaktadır.

Bu çalışma ile literatüre kazandırılan diğer bir katkı ise EKDA uygulanacak olan devrelerin objektif bir şekilde belli bir zemine dayanarak belirlenebiliyor olmasıdır. Normalde bu devrelerin belirlenmesi için belli başlı kılavuz bilgiler olsa da genelde bu değerlendirme mühendislerin kendi yapacakları mühendislik hükmüne bağlanmaktadır.

Bu çalışmanın sunmuş olduğu esnek planının benimsenmesi durumunda ilerleyen çalışmalarda bu algoritma daha detaylı bir hale getirilip yeni öneriler sunulabilir. Bu doğrultuda, birçok optimizasyon fırsatı farklı noktalardan yakalanabilir.

KAYNAKLAR

1. Birolini, A. (2007). *Reliability Engineering Theory and Practice*. (5. Baskı). İtalya: Springer, 25-40.
2. Jones, H. W. (2015). *Reliability and Failure in NASA Missions: Blunders, Normal Accidents, High Reliability, Bad Luck*. 45inci Uluslararası Environmental Systems Konferansında sunuldu, Washington.
3. İnternet: Nolan, D. (October 2023). 13 Famous Airplane Crashes That Changed Aviation Forever. Pop Mech, 12. URL: <https://www.popularmechanics.com/flight/g73/the-most-famous-airplane-crashes/> Son Erişim Tarihi: 10.11.2023.
4. Wang, W., Li, Y., Zhang, Q., Feng, W., Liu, H., and Liu, P. (2018). *Reliability Implementation and Cost Trade-off of Product during the Development Process*. MATEC Web of Conferences, 221.
5. Peyghami, S., Wang, Z., and Blaabjerg, F. (2020). *A Guideline for Reliability Prediction in Power Electronic Converters*. IEEE Transactions on Power Electronics, 35(10).
6. S, Güreş, S. D., Ulusoy, I., and Durmaz, B. (2019). *Satellite failure estimation vs. Reliability prediction analysis*. Proceedings - Annual Reliability and Maintainability Symposium, Orlando.
7. Qattan, N. A., Al-Bahi, A. M., and Kada, B. (2021). *Failure Modes and Effects Analysis of T-56 Turboprop Engine Turbine*. Proceedings - Annual Reliability and Maintainability Symposium, Orlando.
8. Cacipu, I. and Voiculescu S. (2020). *Reliability Confidence Indicator*. Proceedings - Annual Reliability and Maintainability Symposium, Orlando.
9. Carlson, C., Sarakakis, G., Groebel, D. J., and Mettas, A. (2010). *Best practices for effective reliability program plans*. Proceedings - Annual Reliability and Maintainability Symposium, Orlando.
10. Sugathan, R., Ananda, S., Ramdas, V., Satyanarayana, P., Sankaran, M., and Ekkundi, R. S. (2015). *Worst case circuit analysis of a new balancing circuit for spacecraft application*. Proceedings of the 2015 IEEE International Conference on Power and Advanced Control Engineering, Bengaluru.
11. Choudhary, K., and Sidharthan, P. (2016). *Reliability prediction of Electronic Power Conditioner (EPC) using MIL-HDBK-217 based parts count method*. IEEE International Conference on Computer Communication and Control, Tamil Nadu.
12. Durmaz, B., and Ozgor Demirkaya, B. (2011). *Reliability considerations for design of space systems*. RAST 2011 - Proceedings of 5th International Conference on Recent Advances in Space Technologies, İstanbul.

13. Reliability Analysis Center. (1976). *Reliability Design Handbook*. RADC, United States, 25-48.
14. Kuzu, L., Yagli, A. F., Gokten, M., and Yanikgonul, V. (2012). *Reliability analysis of TUSAT satellite communication payload*. Proceedings - IEEE 1st AESS European Conference on Satellite Telecommunications, Rome.
15. Department of Defense. (1998). *Electronic Reliability Design Handbook (MIL-HDBK-338)*. DOD. Philadelphia, 95-130.
16. Department of Defense. (1991). *Reliability Prediction of Electronic Equipment (MIL-HDBK-217F)*, DOD. Washington, 10-123.
17. European Cooperation for Space Standardization. (2009). *Space Product Assurance Failure modes, effects (and criticality) analysis (HTEA/FMECA)*. ECSS. Noordwijk, 7-60.
18. European Cooperation for Space Standardization. (2011). *Space Product Assurance Derating - EEE Components*. ECSS. Noordwijk, 9-104.
19. Reliability Analysis Center. (1991). *Worst Case Circuit Analysis Application Guidelines*. RAC. New York, 4-82.
20. Zhai, G., Zhou, Y., Ye, X., and Hu, B. (2013). A method of multi-objective reliability tolerance design for electronic circuits. *Chinese Journal of Aeronautics*, 26(1).
21. Aerospace Space Systems Group. (2013). *Electrical Design Worst-Case Circuit Analysis: Guidelines and Draft Standard (REV A)*. El Segundo, 5-46.
22. Vishay. (2021). *MIL-PRF-55342 Qualified Thin Film Resistor*. Shelton, 1-7.
23. European Cooperation for Space Standardization. (2004). *Space Product Assurance – Derating and End-of-Life Parameter Drifts – EEE Components*. ECSS. Noordwijk, 11-24.
24. Microsemi. (2022). *Voidless Hermetically Sealed Switching Diodes Qualified per MIL-PRF-19500/578*. Kaliforniya, 1-9.
25. Texas Instruments. (2017). *LM139 Quad Differential Comparator*. Dallas, 1-20.
26. Intersil (2023). *Radiation Hardened Ultra Low Noise, Precision Voltage Reference*. Kaliforniya, 1-18.
27. Vishay. (2012). *Standard Thick Film Chip Resistors*. Shelton, 1-11.
28. American National Standards Institute. (2013). *Reliability Prediction MIL HDBK 217 Subsidiary Specification*. ANSI, 25-48.



Gazili olmak ayrıcalıktır